

2

[11]公告編號：413785

[44]中華民國 89年 (2000) 12月 01日

發明

全 44 頁

[51] Int.Cl. 06: G06F3/06

[54]名 稱：具有決定回授等化器用回授回路控制功能之信號處理器

[21]申請案號：088104263

[22]申請日期：中華民國 88年 (1999) 03月 18日

[30]優先權：[31]104729

[32]1998/04/15

[33]日本

[31]144204

[32]1998/05/26

[33]日本

[31]354462

[32]1998/12/14

[33]日本

[72]發明人：

澤田勝

日本 谷島秀明

富田毅

日本 上松史明

中田義孝

日本

森內恒彥

日本

山倉賢一

日本

[71]申請人：

富士通股份有限公司

日本

[74]代理人：憚軼群 先生

陳文郎 先生

[57]申請專利範圍：

1. 一種可控制一決定回授等化器的方法，
其包含之步驟有：

使用一輸入信號和一回授信號，來產生
一運作信號；

依據一預定準則來分析上述之運作信號，
以產生一決定信號；

將上述之決定信號，儲存在一移位暫存
器內；

使用該決定信號，來產生上述之回授信
號；以及

監控上述移位暫有器之一包含該決定信
號之內容。

2. 如申請專利範圍第 1 項所申請之方法，
其尚包含一可基於上述監控之結果，來
改變其準則之步驟。

3. 如申請專利範圍第 2 項所申請之方法，
其中之準則改變步驟包括，基於上述可
表示該決定信號已具有一固定值之監控

結果，來改變其準則，以使上述出自一
輸入信號而具有一不同於上述固定決定
信號之記號的運作信號，能夠容易做分
析。

5. 一種可控制一決定回授等化器的方法，
其包含之步驟有：

使用一輸入信號和一回授信號，來產生
一運作信號；

10. 依據一預定準則來分析上述之運作信號，
以產生一決定信號；

將上述之決定信號，儲存進一移位暫存
器內；

使用該決定信號，來產生上述之回授信
號；

15. 使用上述之輸入信號，來計算上述回授
信號之一初始值；以及

使用上述之初始值，來預先設定其移位
暫存器。

5. 一種決定回授等化器，其包含：

一預濾波器 (12)，其可接收一輸入信號，以及可對此輸入信號進行濾波，以產生一濾波過之輸入信號；

一加法器 (13)，其係與上述之預濾波器相連接，可用以接收一回授信號和上述濾波過之輸入信號，以及可使彼等濾波過之輸入信號與回授信號相加，以產生一相加之信號；

一決定單元 (14)，其係與上述之加法器相連接，可接收其相加成之信號，以及可依據預定之準則，來分析此相加成之信號，以產生一決定信號；

一移位暫存器 (61)，其係與上述之決定單元相連接，可用以儲存其決定信號；
一回授信號產生器 (66、24、25)，其係與上述之移位暫存器相連接，可使用上述之決定信號，來產生上述之回授信號；和

一監控器電路 (67)，其係與上述之回授信號產生器相連接，可用以監控上述移位暫存器包含該決定信號之一內容。

6. 如申請專利範圍第 5 項所申請之等化器，其尚包含一準則設定電路 (68、69)，其係連接在彼等監控器電路與決定單元之間，可用以接收一來自上述監控器電路之監控結果，可基於此監控結果，來改變上述之準則，以及可持此改變之準則，提供給上述之決定單元。

7. 如申請專利範圍第 6 項所申請之等化器，其中之準則設定電路，可基於一表示上述決定信號具有一固定值之監控結果，來改變上述之準則，以使上述源自一輸入信號而具有一不同於上述固定決定信號之記號的相加信號，能夠容易做分析。

8. 如申請專利範圍第 6 項所申請之等化器，其中之準則設定電路包含：

一可產生多數準則之準則產生器 (69)；
和

一選擇器 (68)，其係連接在彼等準則設定電路與決定單元之間，可用以接收上述來自其監控器電路之監控結果，可基於此監控結果，來選擇上述多數準則中的一個，以及可將此選定準則，提供給上述之決定單元。

9. 如申請專利範圍第 8 項所申請之等化器，其中之移位暫存器，具有一與上述輸入信號之傳輸碼規則相對應的暫存器長度。

10. 如申請專利範圍第 8 項所申請之等化器，其中之移位暫存器包含：

一第一暫存器區段 (62)，其包含其回授信號產生器要產生其回授信號所需之數目的暫存器；和

一第二暫存器區段 (63)，其包含其監控器電路要監控其暫存器之內容所需之數目的暫存器。

11. 如申請專利範圍第 5 項所申請之等化器，其尚包含一回授信號控制器 (68、72)，其係連接在彼等監控器電路與回授信號產生器之間，可用以接收上述來自其監控器電路之監控結果，以及可將一基於上述之監控結果來改變其回授信號所需之信號，提供給其回授信號產生器。

12. 如申請專利範圍第 11 項所申請之等化器，其中之回授信號控制器包含：

一可產生多數抵補信號之抵補信號產生器 (72)；和

一選擇器 (68)，其係連接在彼等抵補信號產生器與決定單元之間，可用以接收上述來自其監控器電路之監控結果，可基於此監控結果，來選擇上述多數抵補信號中的一個，以及可將此選定之抵補信號，提供給上述之回授信號產生器；
以及

其中之回授信號產生器，係包含一加法器 (73)，其係與該選擇器相連接，可用以接收上述選定之抵補信號，以及可使

彼等回授信號與選定之抵補信號相加，以產生一抵補回授信號。

13. 如申請專利範圍第 12 項所申請之等化器，其中之移位暫存器，具有一等於或大於上述輸入信號所需之傳輸碼規則的暫存器長度。

14. 如申請專利範圍第 12 項所申請之等化器，其中之移位暫存器包含：

一第一暫存器區段 (62)，其包含其回授信號產生器要產生其回授信號所需之數目的暫存器；和

一第二暫存器區段 (63)，其包含其監控器電路要監控其暫存器之內容所需之數目的暫存器。

15. 如申請專利範圍第 6 項所申請之等化器，其尚包含一回授信號控制器 (203、204)，其係連接在彼等監控器電路與回授信號產生器之間，可用以接收上述來自其監控器電路之監控結果，以及可將一基於上述之監控結果來改變其回授信號所需之信號，提供給其回授信號產生器。

16. 如申請專利範圍第 15 項所申請之等化器，其中之回授信號產生器包含：

一電路 (66、24、208)，其可使用上述之決定信號，來產生一第一數位回授信號；和

一可產生一類比回授信號之 D/A 轉接器 (25)；以及其中之回授信號控制器包含：

一可產生多數第二數位回授信號之數位回授信號產生器 (204)；和

一選擇器 (203)，其係連接在彼等數位回授信號產生器與 D/A 轉接器之間，可用以接收上述來自其監控器電路之監控結果，可基於此監控結果，來選擇上述多數第二數位回授信號中的一個，以及可將此選定之數位回授信號，提供給上述之 D/A 轉接器。

17. 如申請專利範圍第 15 項所申請之等化

器，其中尚包含一可用以偵測其決定信號是否具有一本地偵測錯誤之錯誤偵測器 (206)，其中之回授信號控制器，可基於一來自其錯誤偵測器之偵測結果，將上述可用以改變其回授信號之信號，提供給其回授信號產生器。

18. 如申請專利範圍第 15 項所申請之等化器，其中之移位暫存器，具有一與上述輸入信號所需之傳輸碼規則相對應之暫存器長度。

19. 如申請專利範圍第 15 項所申請之等化器，其中之移位暫存器包含：

一第一暫存器區段 (62)，其包含其回授信號產生器要產生其回授信號所需之數目的暫存器；和

一第二暫存器區段 (63)，其包含其監控器電路要監控其暫存器之內容所需之數目的暫存器。

20. 一種信號處理器，其包含：

一決定回授等化器，其可用以使一讀取自一寫錄媒體之讀取信號做波形等化，以及可產生一波形等化之讀取信號，此決定回授等化器包含：

一預濾波器 (12)，其可對上述之讀取信號進行濾波，以及可產生一濾波過之讀取信號；

一加法器 (13)，其係與上述之預濾波器相連接，可用以使一回授信號與上述濾波過之讀取信號相加，以及可產生一相加之信號；

一決定單元 (14)，其係與上述之加法器相連接，可用以接收其相加成之信號，可依據預定之準則，來分析此相加成之信號，以及可產生一決定信號；

一移位暫存器 (15)，其係與上述之決定單元相連接，可用以依據一參考時鐘信號，來取樣其決定信號，以及可儲存此取樣信號，其中，上述波形等化之讀取信號，係自此移位暫存器輸出；

一回授濾波器 (22)，其係與上述之移位

暫存器相連接，可用以接收上述移位暫存器內所儲存之取樣信號，以及可使用此取樣信號，來產生上述之回授信號；
 一換向開關(86)，其係與彼等預濾波器和加法器相連接，可用以接收彼等濾波過之讀取信號和相法之信號，以及可選擇彼等濾波過之讀取信號和相法之信號中的一個信號；

一A/D轉換器(83)，其係與上述之換向開關相連接，可用以依據上述之參考時鐘信號，使彼等濾波過之讀取信號和相法之信號中的一個選定信號，轉換成一數位信號；和

一數位運作電路(85)，其係與彼等A/D轉換器和移位暫存器相連接，可用以接收上述來自其A/D轉換器之數位信號，可使用此數位信號，來產生初始之取樣信號，以及可將此初始取樣信號，預先儲存進上述之移位暫存器內。

21. 如申請專利範圍第20項所申請之信號處理器，其中之數位運作電路包含：

一數位濾波器(89)，其係與上述之A/D轉換器相連接，可用以接收其數位信號，以及可將此數位信號做波形等化處理，以產生一波形等化之數位信號；

一PLL電路(90)，其係與上述之數位濾波器相連接，可用以接收其波形等化之數位信號，以及可產生上述之參考時鐘信號，使其具有之相位，實質上與上述波形等化數位信號之相位相匹配；和

一暫存器(91)，其係與彼等PLL電路和移位暫存器相連接，可用以儲存上述預定之初始取樣信號，其中，上述儲存在其暫存器內之初始取樣信號，係在上述波形等化數位信號之相位，實質上與上述之參考時鐘信號的相位相匹配時，預先儲存進上述之移位暫存器內。

22. 如申請專利範圍第20項所申請之信號處理器，其中之數位運作電路包含：

一數位信號處理器(92)，其係與上述之

移位暫存器相連接，可用以接收上述來自其A/D轉換器之數位信號，可持此數位信號做波形等化處理，以及可產生一波形等化之數位信號，此數位信號處理器，可使用上述之數位信號，來產生上述要預先儲存在其移位暫存器內之初始取樣資料，以及可使用彼等波形等化之數位信號和參考時鐘信號，來產生一相位匹配之信號；和

10. 一電壓控制振盪器(93)，其係與上述之數位信號處理器相連接，可用以接收上述之相位匹配信號，以及可依據此相位匹配信號，來產生上述具有一相位實質上與上述波形等化數位信號之相位相匹配的參考時鐘信號。

23. 如申請專利範圍第20項所申請之信號處理器，其中，其數位信號係包含一前序位元列信號；以及其數位運作電路包含：

20. 一零相位重新開始電路(103)，其係與上述之A/D轉換器相連接，可用以接收上述來自其A/D轉換器之數位信號，可偵測出彼等前序位元列信號與參考時鐘信號間之相位差，以及可基於此相位差，產生一初始參考時鐘信號；和

25. 一PLL電路(104)，其係與上述之零相位重新開始電路相連接，可用以接收上述之初始參考時鐘信號，以及可使用此初始參考時鐘信號，來產生上述具有一相位實質上與上述前序位元列信號之相位相匹配的參考時鐘信號。

24. 如申請專利範圍第23項所申請之信號處理器，其中之零相位重新開始電路，可使用上述之前序位元列信號，來產生上述之初始取樣資料，以及可在上述之初始參考時鐘信號產生過後，將該初始取樣資料，預先儲存進其移位暫存器內。

25. 如申請專利範圍第23項所申請之信號處理器，其中之零相位重新開始電路包

- 含：
- 一相位差偵測器 (108)，其可偵測出彼等前序位元列信號與參考時鐘信號間之相位差；
 - 一時鐘信號產生器 (116)，其可產生多數之初始參考時鐘信號；
 - 一選擇器 (115)，其係與彼等相位差偵測器和時鐘信號產生器相連接，可用以基於上述偵測之相位差，來選擇彼等多數初始參考時鐘信號中的一個。
26. 如申請專利範圍第 25 項所申請之信號處理器，其中之零相位重新開始電路，係包含一抽取電路 (105、107)，其可用以抽取上述前序位元列信號之一特性值，以及其中之相位差偵測器，可基於上述前序位元列信號之此一特性值，來偵測彼等之相位差。
27. 如申請專利範圍第 26 項所申請之信號處理器，其中之抽取電路，可取樣上述之前序位元列信號，以及可取得兩連續取樣點之斜度，而其中之相位差偵測器，可自上述之斜度，偵測出彼等之相位差。
28. 如申請專利範圍第 20 項所申請之信號處理器，其中尚包含：
- 一 PLL 電路 (84)，其係與上述之 A/D 轉換器相連接，可用以接收上述來自其 A/D 轉換器之數位信號，以及可依據此數位信號，來產生上述之參考時鐘信號和一反相分頻之參考時鐘信號；和
 - 一分頻器 (129)，其係與上述之 PLL 電路 (84) 相連接，可用以接收上述之參考時鐘信號，以及可將此參考時鐘信號做頻率分割，以產生一分頻之參考時鐘信號；以及
- 其 A/D 轉換器包含：
- 一主 A/D 轉換器 (141)，其係與上述之分頻器相連接，以及可依據上述分頻之參考時鐘信號來運作；和
 - 多數之子 A/D 轉換器 (142a、142b)，彼

等係與上述之分頻器相連接，以及可依據上述反相之參考時鐘信號來運作。

29. 如申請專利範圍第 20 項所申請之信號處理器，其中，其數位信號係包含一前序位元列信號；
5. 其信號處理器尚，包含一 PLL 電路 (124)，其係與上述之 A/D 轉換器相連接，可用以接收上述來自其 A/D 轉換器之數位信號，以及可使用此數位信號，來產生多數之參考時鐘信號；以及
10. 其數位運作電路，係包含一零相位重新開始電路 (123)，其係與彼等 A/D 轉換器和 PLL 電路相連接，可用以接收上述來自其 A/D 轉換器之數位信號，和多數來自其 PLL 電路之參考時鐘信號，以及可產生彼等相位分別落後及超前上述前序位元列信號之相位的第一和第二參考信號，該零相位重新開始電路，可使用此等第一和第二參考信號，來計算一相互關聯函數，以及可基於此相互關聯函數，來選擇彼等多數參考時鐘信號中的一個。
15. 30. 如申請專利範圍第 29 項所申請之信號處理器，其中之零相位重新開始電路，係包含一分頻器 (129)，其可將上述選定之參考時鐘信號做頻率分割，以及可產生一分頻之參考時鐘信號和一反相分頻之參考時鐘信號；以及
20. 其 A/D 轉換器包含：
30. 一主 A/D 轉換器 (141)，其係與上述之分頻器相連接，以及可依據上述分頻之參考時鐘信號來運作；和
35. 多數之子 A/D 轉換器 (142a、142b)，被等係與上述之分頻器相連接，以及可依據上述反相之參考時鐘信號來運作。
31. 一種決定回授等化器，其包含：
- 一預濾波器 (12)，其可對一輸入信號進行濾波，以及可產生一濾波過之輸入信號；
 - 一加法器 (13)，其係與上述之預濾波器

相連接，可用以使一回授信號與上述濾波過之輸入信號相加，以及可產生一相加之信號；

一決定單元 (14)，其係與上述之加法器相連接，可用以接收其相加成之信號，可依據預定之準則，來分析此相加成之信號，以及可產生一決定信號；

一移位暫存器 (15)，其係與上述之決定單元相連接，可用以依據一參考時鐘信號，來取樣其決定信號，以及可儲存此取樣信號；

一回授濾波器 (152)，其係與上述之移位暫存器相連接，可用以接收上述移位暫存器內所儲存之取樣信號，以及可使用此取樣信號，來產生上述之回授信號；

一異常現象偵測器 (153)，其係與上述之回授濾波器相連接，可用以偵測上述輸入信號內之一異常現象，以及可將一異常現象偵測信號，提供給其回授濾波器，其回授濾波器，可響應此異常現象偵測信號，而停止產生其回授信號。

32. 如申請專利範圍第 31 項所申請之決定回授等化器，其中尚包含一遷移偵測器 (155)，其係與彼等決定單元和回授濾波器相連接，可用以偵測上述之決定信號，以及可偵測出上述決定信號之一遷移動作，其回授濾波器，可響應一遷移偵測信號，而重新開始產生其回授信號。

33. 如申請專利範圍第 32 項所申請之決定回授等化器，其中尚包含一近似化電路 (156)，其係與彼等遷移偵測器和回授濾波器相連接，可響應上述之遷移偵測信號，而產生一近似回授信號，以及其中之回授濾波器，可自上述回授信號重新開始產生起，將上述來自其近似化電路之近似回授信號，提供給其加法器，而長達一段預定之期間。

34. 如申請專利範圍第 33 項所申請之決

定回授等化器，其中尚包含一選擇器 (154)，其係與彼等異常現象偵測器和回授濾波器相連接，可接收上述之異常現象偵測信號和一外部異常現象偵測信號，以及可響應一選擇信號，將上述異常現象偵測信號和一外部異常現象偵測信號中的一個，提供給其 FB 濾波器。

35. 一種信號處理器，其包含：

一可變增益放大器 (VGA) (47)，其可將一來自一寫錄媒體而包含一前序位元列信號之讀取信號加以放大，以及可產生一放大之讀取信號；

一決定回授等化器 (151a)，其係與上述之 VGA 相連接，可用以接收其放大之讀取信號，可依據一參考時鐘信號，使上述放大之讀取信號做波形等化，以及可產生一波形等化之讀取信號，該決定回授等化器，可使上述放大之讀取信號，與一回授信號相加在一起，以產生一相加之信號，可依據預定之準則，來分析此相加之信號，以產生一決定信號，以及可使用此決定信號，來產生上述之回授信號；

一錯誤計算電路 (158)，其係與上述之決定回授等化器相連接，可用以計算彼等相加之信號與決定信號間之一錯誤，以及可產生一錯誤信號；

一自動增益控制器 (AGC) (47a)，其係連接於彼等錯誤計算電路與 VGA 之間，可用以接收上述來自其錯誤計算電路之錯誤信號，以及可基於此錯誤信號，來產生一增益控制信號，其中，該增益控制信號，可控制其 VGA 之增益；

一 PLL 電路 (49)，其係連接於彼等錯誤計算電路與決定回授等化器之間，可用以接收上述來自其錯誤計算電路之錯誤信號，以及可使用此錯誤信號，來產生一參考時鐘信號；和

一異常現象偵測器 (153a)，其係與彼等 VGA、決定回授等化器、AGC、和

PLL 電路相連接，可用以接收上述來自其 VGA 之放大讀取信號，可偵測由此放大讀取信號內之一異常現象，以及可基於一偵測之結果，來控制彼等決定回授等化器、AGC、和 PLL 電路。

36. 一種信號處理器，其包含：

一決定回授等化器 (166)，其可用以接收一讀取自一寫錄媒體之讀取信號，可依據一參考時鐘信號，使該讀取信號做波形等化，以及可產生一波形等化之讀取信號，該決定回授等化器係包含：

一預濾波器 (12)，其可對上述之讀取信號進行濾波，以及可產生一濾波過之讀取信號；

一加法器 (13)，其係與上述之預濾波器相連接，可用以使一回授信號與上述濾波過之讀取信號相加，以及可產生一相加之信號；

一決定單元 (14)，其係與上述之加法器相連接，可用以接收其相加成之信號，可依據預定之準則，來分析此相加成之信號，以及可產生一決定信號；

一移位暫存器 (15)，其係與上述之決定單元相連接，可用以依據一參考時鐘信號，來取樣其決定信號，以及可儲存此取樣信號，其中，上述波形等化之讀取信號，係自此移位暫存器輸出；

一回授濾波器 (22)，其係與上述之移位暫存器相連接，可用以接收上述移位暫存器內所儲存之取樣信號，以及可使用此取樣信號，來產生上述之回授信號；

和
一控制器 (162)，其係與上述之回授濾波器相連接，可用以在預定之時間間隔下，預先設定其回授濾波器內之預定取樣資料。

37. 如申請專利範圍第 36 項所申請之信號處理器，其中尚包含一編碼器 (165)，其可依據一預定之編碼規則，來將寫入資料做編碼，以及可在將資料寫錄至上

述寫錄媒體上面所需之寫入運作中，產生其編碼之資料；以及

其中之控制器包含：

一暫存器 (163)，其係與彼等編碼器和回授濾波器相連接，可用以儲存上述預定之取樣資料；和

一時序控制器 (164)，其係與彼等編碼器和回授濾波器相連接，可用以每隔一段預定之時間間隔，將一某暫存器內所儲存預定之取樣資料，插進上述編碼之資料內所需之一時序控制信號，提供給其編碼器，以及其中之時序控制器，可每隔一段預定之時間間隔，將其時序控制信號，提供給其回授濾波器，以便在一讀取運作中，預先設定其回授濾波器內之預定取樣資料。

38. 如申請專利範圍第 37 項所申請之信號處理器，其中之讀取信號，係包含一同步位元組；

20. 其信號處理器，尚包含一偵測器 (53)，其可偵測上述之同步位元組，以及可產生一同步位元組偵測信號；以及
其時序控制器，可在接收到上述來自其偵測器之同步位元組偵測信號時，每隔一段預定之時間間隔，將其時序控制信號，提供給其回授濾波器。

39. 如申請專利範圍第 36 項所申請之信號處理器，其中尚包含一編碼器 (175)，其可依據一預定之編碼規則，來將寫入資料做編碼，以及可在將資料寫錄至上述寫錄媒體上面所需之寫入運作中，產生編碼之資料；以及
其中之控制器包含：

一暫存器 (163)，其係與彼等編碼器和回授濾波器相連接，可用以儲存一部份做為上述預定取樣資料之編碼資料；和
一時序控制器 (164)，其係與彼等編碼器和回授濾波器相連接，可用以將上述儲存一部份做為預定取樣資料之編碼資料所需之一控制信號，提供給其編碼器

40.

，以及可每隔一段預定之時間間隔，將上述在一讀取運作中，預先設定其回授濾波器內之預定取樣資料所需之时序控制信號，提供給其回授濾波器。

40. 如申請專利範圍第 39 項所申請之信號處理器，其之讀取信號，係包含一同步位元組；

其信號處理器，尚包含一偵測器 (53)，其可偵測上述之同步位元組，以及可產生一同步位元組偵測信號；以及其时序控制器，可在接收到上述來自其偵測器之同步位元組偵測信號時，每隔一段預定之時間間隔，將其时序控制信號，提供給其回授濾波器。

41. 一種決定回授等化器，其包含：

一預濾波器 (12)，其可對一輸入信號進行濾波，以及可產生一濾波過之輸入信號；

一加法器 (13)，其係與上述之預濾波器相連接，可用以使一回授信號與上述濾波過之輸入信號相加，以及可產生一相加之信號；

一決定單元 (14)，其係與上述之加法器相連接，可用以接收其相加成之信號，可依據預定之準則，來分析此相加成之信號，以及可產生一決定信號；

一移位暫存器 (15)，其係與上述之決定單元相連接，可用以依據一參考時鐘信號，來取樣其決定信號，以及可儲存此取樣信號；

一記憶體電路 (185)，其係與上述之移位暫存器相連接，可用以儲存多數件之取樣資料，該等多數件之取樣資料中，與上述移位暫存器內所儲存之取樣資料相對應的一個，係自此記憶體電路讀取出；

一電路 (186)，其係與彼等記憶體電路和加法器相連接，可使用上述之讀取取樣資料，來產生上述之回授信號；和一重新寫入電路 (183)，其係與上述之

記憶體電路相連接，可重新寫入其記憶體電路內所儲存多數件之取樣資料。

42. 如申請專利範圍第 41 項所申請之決定回授等化器，其中尚包含一位址轉換解碼器 (184)，其係連接於彼等移位暫存器與記憶體電路之間，可用以將上述來自其移位暫存器之取樣資料加以解碼，以及可產生一位址信號。

43. 如申請專利範圍第 42 項所申請之決定回授等化器，其中之重新寫入電路包含：

一係數暫存器 (187)，其可用以儲存多數之濾波器係數；

一狀態產生器 (190)，其可用以產生彼等對應於其移位暫存器內所儲存取樣資料之所有樣式的狀態信號；和

一處理器單元 (188)，其係連接於彼等狀態產生器與係數暫存器之間，可用以接收一來自其狀態產生器之狀態信號，可使用其係數暫存器內所儲存之濾波器係數，依據其所接收之狀態信號，來產生多數件之取樣資料，以及可將此等多數件之取樣資料，提供給其記憶體電路。

44. 如申請專利範圍第 43 項所申請之決定回授等化器，其中之位址轉換解碼器，可接收一來自其狀態產生器之狀態信號，以及可依據其所接收之狀態信號，來產生一可用以將彼等多數件之取樣資料，儲存進其記憶體電路內之位址信號。

45. 一種可用以讀取資料之方法，其包括之步驟有：

自一寫錄媒體，讀取一包含一前序位元列信號和一同步位元組信號之讀取信號；

使用其前序位元列信號，來產生一與其前序位元列信號同步之時鐘信號；

使用上述時鐘信號，來取樣上述之讀取信號，以及產生一重現信號；以及

使彼等同步位元組信號與時鐘信號做比

較，以產生一與其同步位元組信號同步之新的時鐘信號。

46. 如申請專利範圍第 45 項所申請之方法，其中之同步位元組信號，係使用一疏樣式和密樣式組合而成之同步位元組樣式被讀取。
47. 如申請專利範圍第 46 項所申請之方法，其中，彼等同步位元組信號與時鐘信號之比較動作，係在其同步位元組信號之狀態遷移點處被執行。
48. 如申請專利範圍第 45 項所申請之方法，其中尚包含之步驟有：
自讀取其同步位元組信號開始起，打開一窗口長達一段預定之時間；
在該窗口打開之際，使其重現信號之一同步位元組，與一同步位元組比較信號做比較；以及
當其重現信號之同步位元組，與上述同步位元組比較信號，彼此實質上一致時，決定偵測其同步位元組。
49. 如申請專利範圍第 48 項所申請之方法，其中之窗口打開時間，係較讀取其同步位元組信號之時間為短。
50. 如申請專利範圍第 48 項所申請之方法，其中之窗口，係在讀取其同步位元組信號業已開始後，一段預定之時間過去時，才被打開。
51. 如申請專利範圍第 48 項所申請之方法，其中尚包含之步驟有：
當其同步位元組重現信號，並未與上述同步位元組比較信號相一致時，使用該同步位元組比較信號，來產生回授信號；以及
使該回授信號與其讀取信號相結合。
52. 一種資料讀取裝置，其包含：
一波形等化器 (215)，其可用以依據一時鐘信號，來取樣一讀取自一寫錄媒體之讀取信號；此讀取信號係包含一前序位元列信號和一同步位元組信號；和
一 PLL 電路 (223)，其係與該波形等化

- 器相連接，可使用其前序位元列信號，來產生一與其同步位元組信號同步之時鐘信號，以及其中之 PLL 電路，可使彼等同步位元組信號和時鐘信號做比較，
5. 以產生一基於一同步位元組比較信號而與其同步位元組信號同步之新的時鐘信號。
53. 如申請專利範圍第 52 項所申請之裝置，其中之同步位元組信號，係使用一疏樣式和密樣式組合而成之同步位元組樣式被讀取。
10. 樣式和密樣式組合而成之同步位元組樣式被讀取。
54. 如申請專利範圍第 53 項所申請之裝置，其中之 PLL 電路，係在其同步位元組信號之狀態遷移點處，使彼等同步位元組信號和時鐘信號做比較。
15. 組信號和時鐘信號做比較。
55. 如申請專利範圍第 52 項所申請之裝置，其中尚包含：
一暫存器 (252)，其可用以儲存上述之同步位元組比較信號；
20. 一匹配偵測器 (253)，其係與彼等暫存器和波形等化器相連接，可用以接收其暫存器內所儲存之同步位元組比較信號，和其波形等化器所產生之一同步位元組重現信號，以及可使彼等同步位元組重現信號和同步位元組比較信號做比較，
25. 此匹配偵測器，可自讀取上述之同步位元組信號開始起，使一窗口打開長達一段預定之時間，以及可在該窗口打開之際，當彼等同步位元組重現信號與同步位元組比較信號，彼此實質上相一致時，輸出一同步位元組偵測信號。
30. 時，輸出一同步位元組偵測信號。
56. 如申請專利範圍第 55 項所申請之裝置，其中之暫存器係一循環暫存器，其可使上述之同步位元組比較信號做循環移位。
35. 位。
57. 如申請專利範圍第 55 項所申請之裝置，其中之窗口打開周期，係較讀取其所有同步位元組信號之時間為短。
58. 如申請專利範圍第 55 項所申請之裝置，其中之波形等化器，係一包含一
40. 置，其中之波形等化器，係一包含一

可用以儲存一重現信號之移位暫存器(219)的決定回授等化器，其匹配偵測器，在上述之同步位元組重現信號，並未與上述同步位元組比較信號相一致時，係儲存其移位暫存器內之同步位元組比較信號，而非上述之同步位元組重現信號，以及其決定回授等化器，係使用上述之同步位元組比較信號，來產生上述之重現信號。

59.如申請專利範圍第55項所申請之裝置，其中之波形等化器，係一包含一可用以產生一回授信號之回授濾波器(220)的決定回授等化器，其匹配偵測器，在上述之同步位元組重現信號，並未與上述同步位元組比較信號相一致時，係將上述之同步位元組比較信號，提供給其回授濾波器，而非上述之同步位元組重現信號，其決定回授等化器，係使用上述之同步位元組比較信號，來產生上述之重現信號，以及其決定回授等化器，係使彼等回授信號與讀取信號相結合，而產生一重現信號。

60.一種可用以控制一錯誤修正裝置之方法，其包含之步驟有：

在一預定之處理速率下修正資料；

在錯誤修正期間，偵測上述錯誤修正裝置之負荷；以及

依據所偵測之負荷，來改變上述預定之處理速率。

61.一種可用以控制一錯誤修正裝置之方法，其包含之步驟有：

自一第一記憶體裝置，讀取未經修正之資料；

在一預定之處理速率下，修正上述未經修正之資料；

將上述修正過之資料，儲存進上述之第一記憶體裝置和一第二記憶體裝置中之一內；

在錯誤修正期間，偵測上述錯誤修正裝置之負荷；以及

依據所偵測之負荷，來改變上述預定之處理速率。

62.如申請專利範圍第61項所申請之方法，其中之預定處理速率，係由其錯誤修正裝置之一運作時鐘信號的周期，來加以決定，以及其預定處理速率改變之步驟，係包含依據所偵測之負荷，來改變其運作時鐘信號的周期。

63.如申請專利範圍第62項所申請之方法，其中偵測一負荷之步驟，係包含使用上述第一記憶體裝置內所儲存未經修正之資料的佔有量，與彼等第一和第二記憶體裝置中之一內所儲存經修正過之資料的佔有量中，至少兩者中之一，來偵測其負荷。

64.如申請專利範圍第62項所申請之方法，其中偵測一負荷之步驟，係包含使用上述未經修正之資料的運作資訊。

65.如申請專利範圍第64項所申請之方法，其中之運作資訊，係包含其錯誤修正所需之時間資訊。

66.如申請專利範圍第64項所申請之方法，其中之運作資訊，係包含其錯誤修正裝置所計算之錯誤修正次數上面的資訊。

67.如申請專利範圍第64項所申請之方法，其中，其未經修正之資料，係一區段之資料；以及其運作資訊，係包含其錯誤修正裝置所執行一區段資料之錯誤修正次數上面的資訊。

68.如申請專利範圍第61項所申請之方法，其中尚包含取得一碟片裝置自一碟片所讀取出之讀取資料內所包含之讀取資訊的步驟，以及

其中偵測一負荷之步驟係包含，其錯誤修正裝置，使用上述之讀取資訊，來偵測一負荷。

69.如申請專利範圍第68項所申請之方法，其中之讀取資訊，係包含其碟片裝置之讀取速率上面之資訊。

70. 如申請專利範圍第 68 項所申請之方法，其中之讀取資訊，係包含其碟片裝置之搜尋資訊。
71. 如申請專利範圍第 61 項所申請之方法，其中尚包含取得一碟片裝置自一碟片所讀取出之讀取資料的步驟，以及其中偵測一負荷之步驟係包含，其錯誤修正裝置，使用上述之讀取資訊，來偵測一負荷的步驟。
72. 一種可用以控制一錯誤修正裝置之方法，其包含之步驟有：
自一第一記憶體裝置，讀取未經修正之資料；
修正上述未經修正之資料；
將上述修正過之資料，儲存進上述之第一記憶體裝置和一第二記憶體裝置中之一內；
在一預定之處理速率下，自彼等第一記憶體裝置和一第二記憶體裝置中之一，讀取上述經修正過之資料；
在錯誤修正期間，偵測上述錯誤修正裝置之負荷；以及
依據所偵測之負荷，來改變上述預定之處理速率。
73. 如申請專利範圍第 72 項所申請之方法，其中之預定處理速率，係由一界面電路之運作時鐘信號的周期，來加以決定，以及其預定處理速率改變之步驟係包含，依據所偵測之負荷，來改變其運作時鐘信號的周期。
74. 一種錯誤修正裝置，其包含：
一錯誤修正電路 (324)，其可自一第一記憶體裝置，接收未經修正之資料，可在一預定之處理速率下，執行上述未經修正之資料上面的錯誤修正動作，以及可將經修正過之資料，儲存進彼等第一記憶體裝置和一第二記憶體裝置中之一內；和
一控制器 (325)，其係與上述之錯誤修正電路相連接，可用以偵測上述錯誤修正電路之一負荷，以及可依據所偵測之負荷，產生一可控制上述預定處理速率之控制信號。
75. 如申請專利範圍第 74 項所申請之裝置，其中之控制器包含：
一負荷偵測器 (337)，其係與上述之錯誤修正電路相連接，可用以偵測上述錯誤修正電路之一負荷；和
一控制信號產生器 (338)，其係與上述之負荷偵測器相連接，可用以依據所偵測之負荷，產生一可控制上述預定處理速率之控制信號。
76. 如申請專利範圍第 75 項所申請之裝置，其中之預定處理速率，係由一運作時鐘信號的周期來加以決定，以及其控制信號產生器，可用以產生一運作時鐘信號，做為上述之控制信號，其周期係業已依據所偵測之負荷做過改變。
77. 如申請專利範圍第 76 項所申請之裝置，其中之控制信號產生器所產生之運作時鐘信號，可在上述之負荷相當大時，具有相當短之周期，以及可在上述之負荷相當小時，具有相當長之周期。
78. 如申請專利範圍第 75 項所申請之裝置，其中之錯誤修正電路，係包含一指標器 (336)，其可用以將上述之第一記憶體裝置內所儲存未經修正之資料的資料量，和彼等第一和第二記憶體裝置中之一內所儲存經修正過之資料的資料量中，至少兩者中之一，加以儲存；以及其負荷偵測器，可接收上述來自其指標器之資料量，以及可基於所接收之資料量，來偵測一負荷。
79. 如申請專利範圍第 75 項所申請之裝置，其中之錯誤修正電路，係包含一錯誤數目計數器 (331a)，其可用以計數彼等錯誤修正動作之次數；以及其負荷偵測器，可接收上述來自其計數器之信號值，以及可基於所接收之信號值，來偵測一負荷。

- 80.如申請專利範圍第 75 項所申請之裝置，其中之負荷偵測器，可用以接收上述來自碟片驅動器之讀取資料內所包含之讀取資訊，以及可基於此讀取資訊，來偵測一負荷。
- 81.如申請專利範圍第 80 項所申請之裝置，其中之讀取資訊，係包含上述碟片驅動器之讀取速率上面的資訊。
- 82.如申請專利範圍第 80 項所申請之裝置，其中之讀取資訊，係包含上述碟片驅動器之搜尋資訊。
- 83.如申請專利範圍第 75 項所申請之裝置，其中之負荷偵測器，可用以接收上述讀取自一碟片驅動器之一碟片的讀取資料，以及可基於此讀取資料，來偵測一負荷。
- 84.一種錯誤修正裝置，其包含：
 一錯誤修正電路 (324)，其可用以接收上述讀取自一第一記憶體裝置之未經修正的資料，可對此未經修正之資料，執行錯誤修正之動作，以及可將其修正過之資料，儲存進上述之第一記憶體裝置和一第二記憶體裝置中之一內；
 一界面電路 (314)，其係與彼等第一和第二記憶體裝置中之一相連接，可用以在一預定處理速率下，自彼等第一和第二記憶體裝置中之一，讀取上述經修正過之資料；和
 一控制器 (325)，其係與彼等錯誤修正電路和界面電路相連接，可用以偵測其錯誤修正電路之一負荷，以及可依據所偵測之負荷，產生一可控制上述預定讀取速率之控制信號。
- 85.如申請專利範圍第 84 項所申請之裝置，其中之控制器包含：
 一負荷偵測器 (337)，其係與上述之錯誤修正電路相連接，可用以偵測上述錯誤修正電路之一負荷；和
 一控制信號產生器 (338)，其係與上述之負荷偵測器相連接，可用以依據所偵

- 測之負荷，產生一可控制上述預定讀取速率之控制信號。
- 86.如申請專利範圍第 85 項所申請之裝置，其中之預定讀取速率，係由一運作時鐘信號來加以決定，以及其控制信號產生器，其可產生一運作時鐘信號，做為上述之控制信號，其周期係業已依據所偵測之負荷做過改變。
- 87.如申請專利範圍第 86 項所申請之裝置，其中之控制信號產生器所產生之運作時鐘信號，可在上述之負荷相當大時，具有相當短之周期，以及可在上述之負荷相當小時，具有相當長之周期。
- 88.一種控制電路，其可用以控制一錯誤修正裝置，在一預定處理速率下，執行錯誤修正動作時之錯誤修正性能，此控制電路包含：
 一負荷偵測器 (337)，其係與上述之錯誤修正電路相連接，可用以偵測上述錯誤修正電路在錯誤修正動作期間之一負荷；和
 一性能控制器 (338)，其係與上述之負荷偵測器相連接，可用以依據所偵測之負荷，產生一可控制上述預定處理速率之控制信號。
- 89.一種控制電路，其可用以就一錯誤修正裝置，接收上述讀取自一第一記憶體裝置之未經修正的資料，修正此未經修正之資料，及將其修正過之資料，儲存進上述之第一記憶體裝置和一第二記憶體裝置中之一內等的錯誤修正性能加以控制，上述儲存在彼等第一和第二記憶體裝置中之一內的修正過的資料，係在一預定讀取速率下被讀取，該控制電路包含：
 一負荷偵測器 (337)，其係與上述之錯誤修正電路相連接，可用以偵測上述錯誤修正電路在錯誤修正期間之一負荷；和
 一性能控制器 (338)，其係與上述之負

荷偵測器相連接，可用以依據所偵測之負荷，產生一可控制上述預定讀取速率之控制信號。

圖式簡單說明：

第一圖係一第一傳統式決定回授等化器 (DEF) 之示意方塊圖；

第二圖係一第二傳統式 DEF 之示意方塊圖；

第三圖係一傳統式信號處理器之示意方塊圖；

第四圖係第三圖之信號處理器之一 DEF 和一 PLL 電路的示意方塊圖；

第五圖係顯示一寫錄媒體上面彼等區段之一傳統寫錄格式；

第六圖係一硬碟裝置之示意方塊圖；

第七圖係第六圖之硬碟裝置的信號處理器的一個示意方塊圖；

第八圖係一依本發明之第一實施例所製而設置在第七圖之信號處理器內之 DFE 的一個示意方塊圖；

第九圖係一可解釋第八圖之 DFE 之回授回路之發散性的一個信號波形圖；

第十圖係一可顯示第八圖之 DFE 之狀態遷移的第一簡圖；

第十一圖係一可解釋第八圖之 DFE 之運作的第一信號波形圖；

第十二圖係一可顯示第八圖之 DFE 之狀態遷移的第二簡圖；

第十三圖係一可解釋第八圖之 DFE 之運作的第二信號波形圖；

第十四圖係一可顯示第八圖之 DFE 之狀態遷移的第三簡圖；

第十五圖係一可解釋第八圖之 DFE 之運作的第三信號波形圖；

第十六圖係一依本發明之第二實施例所製之 DFE 的一個示意方塊圖；

第十七圖係一依本發明之第三實施例所製之 DFE 的一個示意方塊圖；

第十八圖係一可顯示第十七圖之 DFE 之一狀態機之狀態遷移的一個簡圖；

第十九圖係第十七圖之 DFE 之一解碼器的電路圖；

第二十圖係一可描繪第十七圖之 DFE 之一錯誤偵測器之輸入／輸出資料的第一簡圖；

第二十一圖係一可描繪第十七圖之 DFE 之一錯誤偵測器之輸入／輸出資料的第二簡圖；

第二十二圖係一可描繪第十七圖之 DFE 之一錯誤偵測器之輸入／輸出資料的第三簡圖；

第二十三圖係一可描繪第十七圖之 DFE 之一錯誤偵測器之輸入／輸出資料的第四簡圖；

第二十四圖係一可解釋第十七圖之 DFE 之運作的第一信號波形圖；

第二十五圖係一可解釋第十七圖之 DFE 之運作的第二信號波形圖；

第二十六圖係一依本發明之第四實施例所製之信號處理器的一個示意方塊圖；

第二十七圖係一可例示一讀取信號之資料格式的簡圖；

第二十八圖係一依本發明之第五實施例所製之信號處理器的一個示意方塊圖；

第二十九圖係一依本發明之第六實施例所製之信號處理器的一個示意方塊圖；

第三十圖係一可顯示一依本發明第四至第六實施例之第一修飾形式所製之信號處理器的一個示意方塊圖；

第三十一圖係一可顯示一依本發明第四至第六實施例之第二修飾形式所製之信號處理器的一個示意方塊圖；

第三十二圖係一依本發明之第七實施例所製之信號處理器的一個示意方塊圖；

第三十三圖 A 係第三十二圖之信號處理器之零相位重新開始電路的一個示意方塊圖；

第三十三圖 B 係第三十三圖 A 之零相位重新開始電路之相位差偵測器的一個示意方塊圖；

40. 意方塊圖；

第三十三圖 C 係第三十三圖 A 之零相位重新開始電路之樣式鑑別器的一個示意方塊圖；

第三十三圖 D 係第三十三圖 A 之零相位重新開始電路之斜度計算器的一個示意方塊圖；

第三十四圖係第三十三圖 A 之零相位重新開始電路之一 VCO 所產生時鐘信號的一個信號波形圖；

第三十五圖係一可解釋第三十三圖 A 之零相位重新開始電路之運作的一個信號波形圖；

第三十六圖係一可解釋第三十二圖之信號處理器之 TR-PLL 和零相位重新開始電路之控制時序的一個第一信號波形圖；

第三十七圖係一可解釋第三十二圖之信號處理器之 TR-PLL 和零相位重新開始電路之控制時序的一個第二信號波形圖；

第三十八圖係一依本發明之第八實施例所製之信號處理器的一個示意方塊圖；

第三十九圖 A 係第三十八圖之信號處理器之一運作電路和一解碼器的一個示意方塊圖；

第三十九圖 B 係第三十九圖 A 之運作電路和解碼器的一個示意方塊圖；

第三十九圖 C 係上述解碼器之一示意方塊圖；

第四十圖係一可例示第三十九圖 A 之運作電路所產生之關聯函數值與其時鐘信號之相位歧離間之關係的特性曲線圖；

第四十一圖係一可解釋第三十九圖 A 之運作電路之加法器的一個簡圖；

第四十二圖係一可例示一前序位元列信號與一系統時鐘信號間之相位差，與其比較位準間之關係的曲線圖；

第四十三圖係一可解釋第三十九圖 A 之比較器之運作情形的一個簡圖；

第四十四圖係一可例示第三十八圖之信號處理器之零相位重新開始電路之運作情形的信號波形圖；

第四十五圖係第三十八圖之信號處理器之一 FE 和一 ADC 的一個示意方塊圖；

第四十六圖係一可顯示其系統時鐘信號和一供應至第四十五圖之 ADC 之分頻時鐘信號的信號波形圖；

第四十七圖係一可例示第四十五圖之 ADC 之運作情形的信號波形圖；

第四十八圖係一可解釋第四十五圖之 ADC 之一主 ADC 和一些子 ADC 之運作範圍的簡圖；

第四十九圖係一依本發明之第九實施例所製之 DFE 的一個示意方塊圖；

第五十圖係一可例示第四十九圖之 DFE 之運作情形的信號波形圖；

15. 第五十一圖係一依本發明之第十實施例所製之 DFE 的一個示意方塊圖；

第五十二圖係一可例示第五十一圖之 DFE 之運作情形的信號波形圖；

20. 第五十三圖係一依本發明之第十一實施例所製之信號處理器的一個示意方塊圖；

第五十四圖 A 和第五十四圖 B 係兩可顯示第五十三圖之信號處理器之時序控制器之運作情形的信號波形圖；

25. 第五十五圖係一依本發明之第十二實施例所製之信號處理器的一個示意方塊圖；

第五十六圖 A 和第五十六圖 B 係兩可顯示第五十五圖之信號處理器之時序控制器之運作情形的信號波形圖；

30. 第五十七圖係一依本發明之第十三實施例所製之 DFE 的一個示意方塊圖；

第五十八圖係一依本發明之第十四實施例所製之信號處理器的一個示意方塊圖；

35. 第五十九圖係第五十八圖之信號處理器之一 DFE、一 TR-PLL 和一 SB 偵測器的一個示意方塊圖；

40. 第六十圖係一可描繪第五十八圖之信號處理器所用同步位元組之樣式的簡圖；

第六十一圖係一可解釋第五十八圖之信號處理器之運作情形的信號波形圖；

第六十二圖係一依本發明第十四實施例之修飾形式所製之 DFE 和 SB 偵測器的一個示意方塊圖；

第六十三圖係一依本發明之第十五實施例所製之光碟控制裝置的一個示意方塊圖；

第六十四圖係第六十三圖之光碟控制裝置之光碟控制器的一個示意方塊圖；

第六十五圖係第六十四圖之光碟控制器之錯誤修正電路區段的一個示意方塊

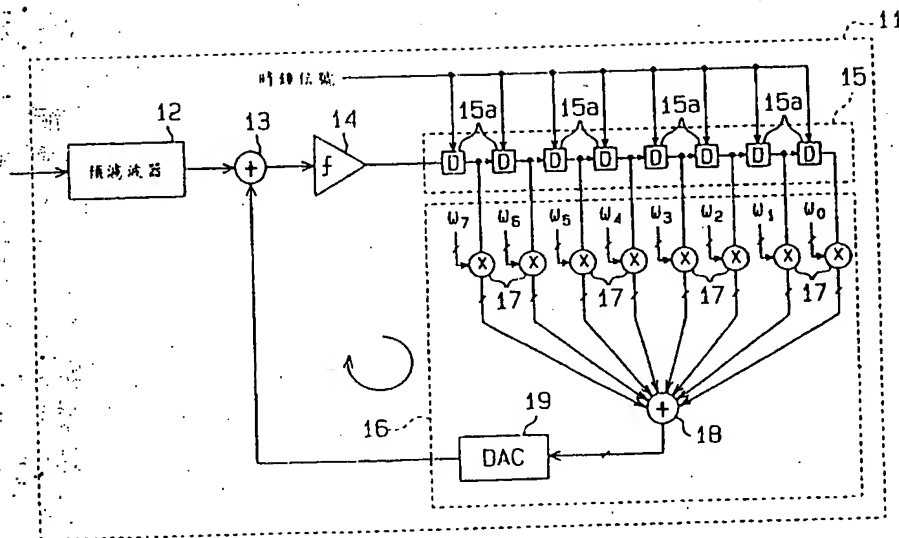
圖；

第六十六圖係第六十四圖之光碟控制器之修正性能控制器區段的一個示意方塊圖；

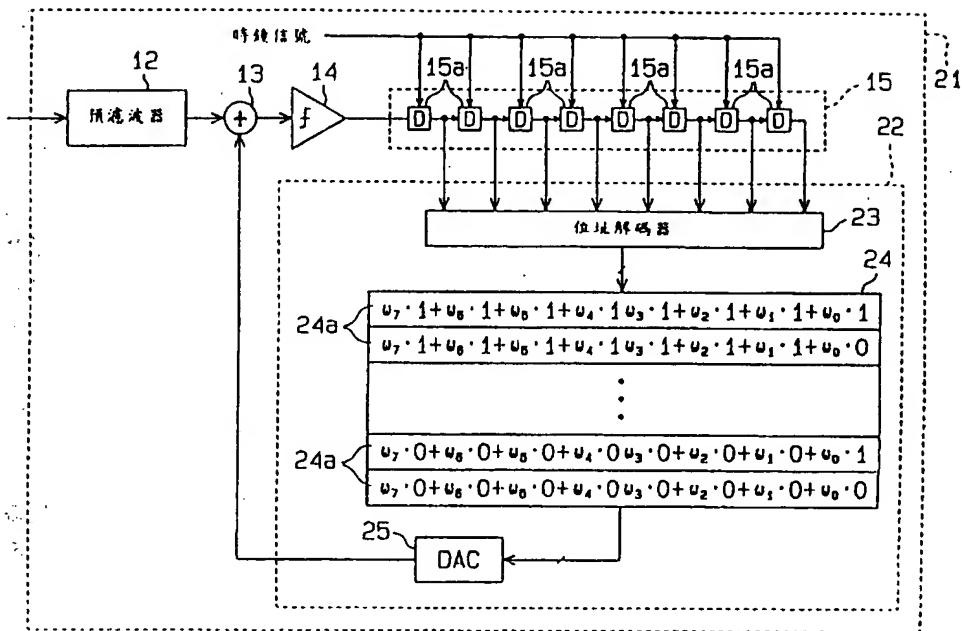
5. 第六十七圖係一可顯示第六十四圖之光碟控制器之記憶體緩衝器之記憶體區域的一個簡圖；

第六十八圖係一可顯示一區段光碟資料之資料配置的簡圖；而

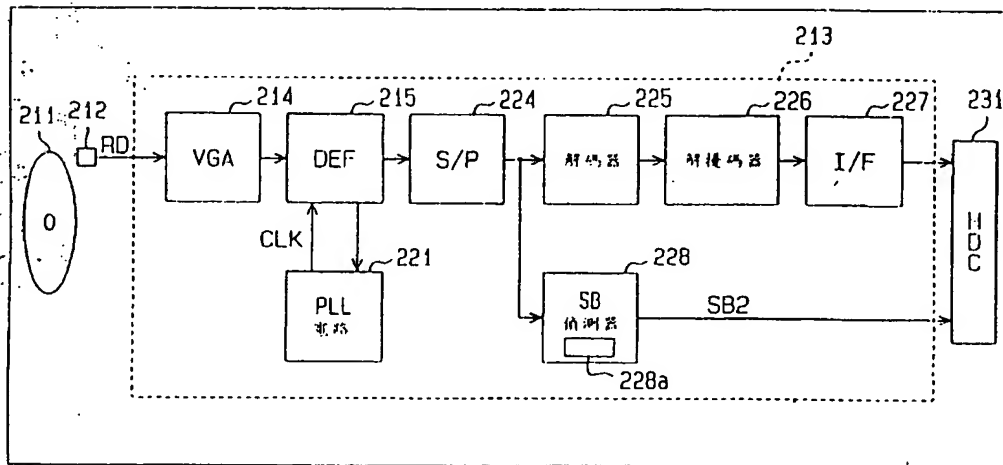
10. 第六十九圖則係一依本發明第十五實施例之修飾形式所製修正性能控制器區段的一個示意方塊圖。



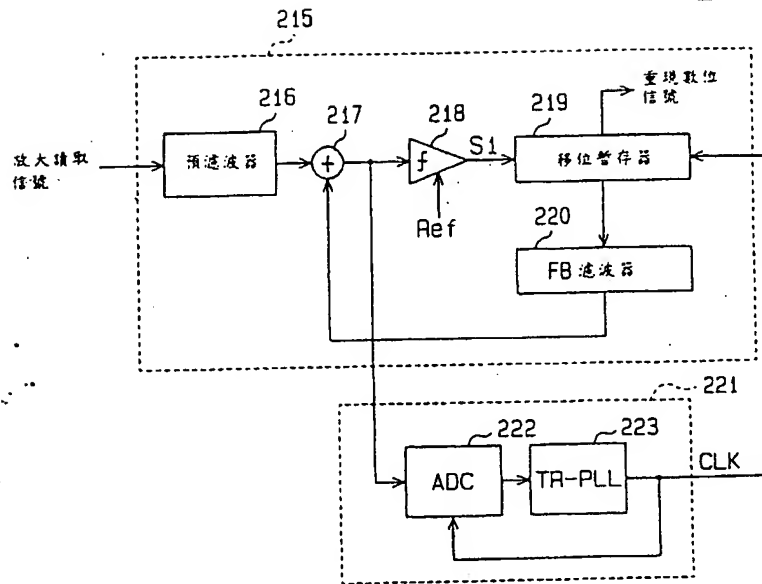
第一圖



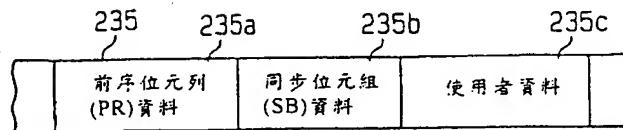
第二圖



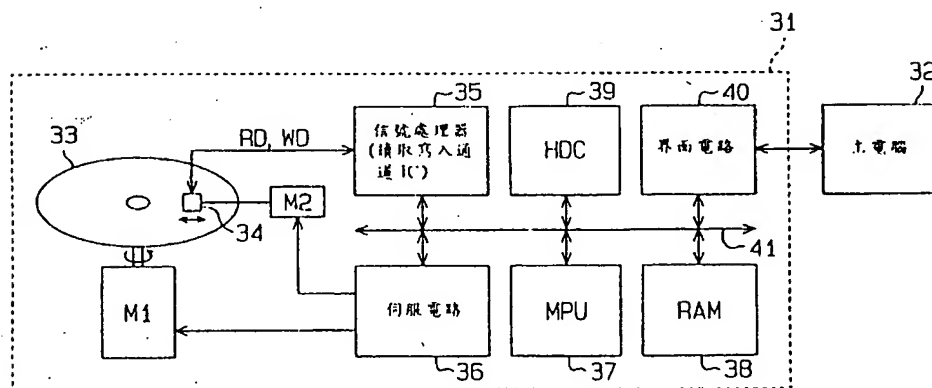
第三圖



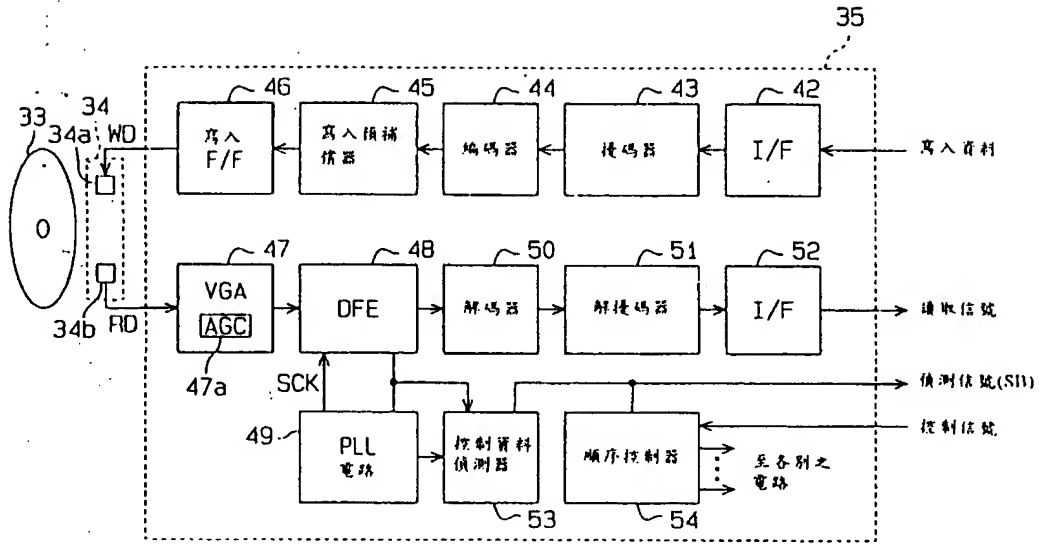
第四圖



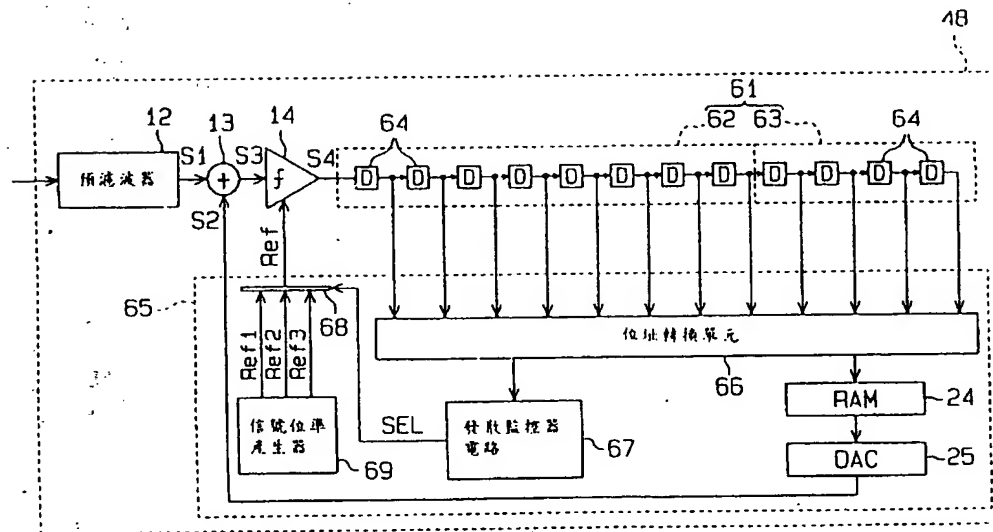
第五圖



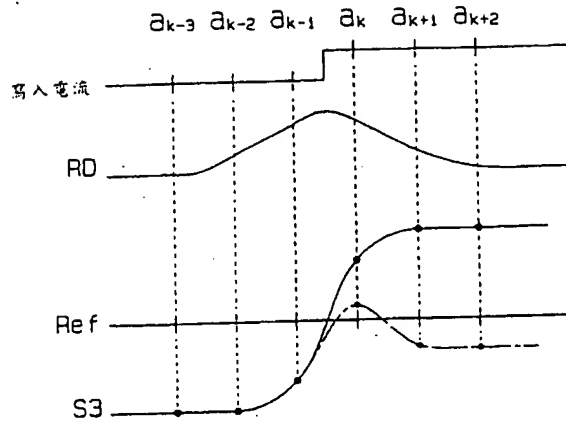
第六圖



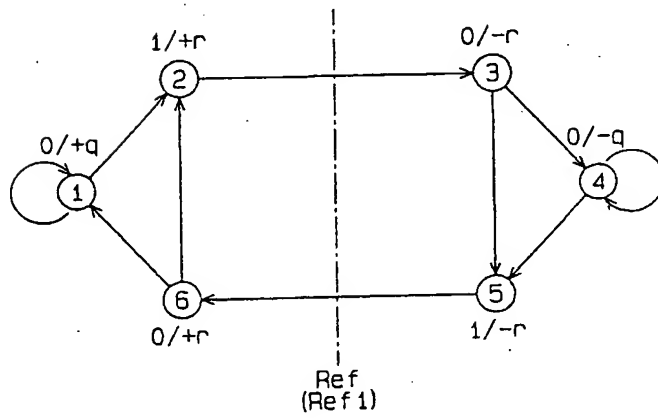
第七圖



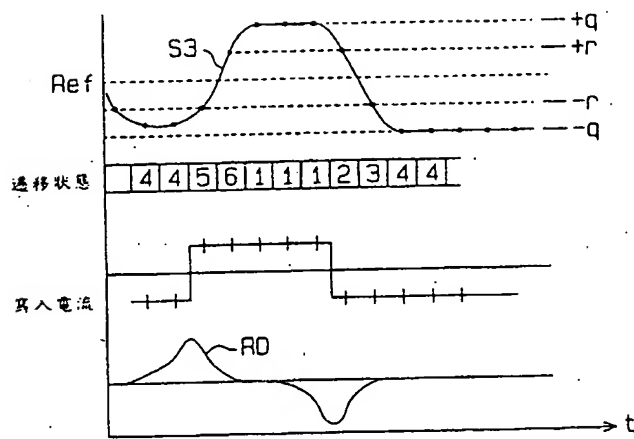
第八圖



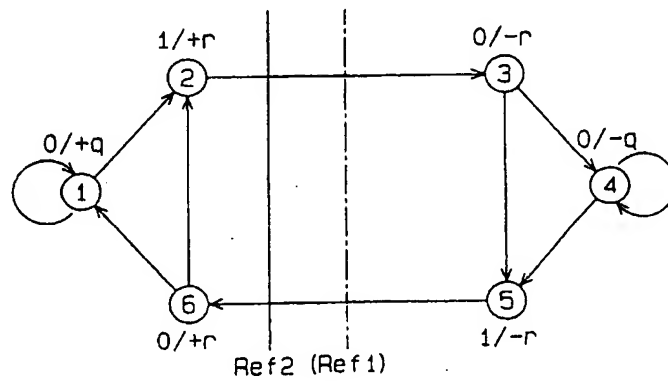
第九圖



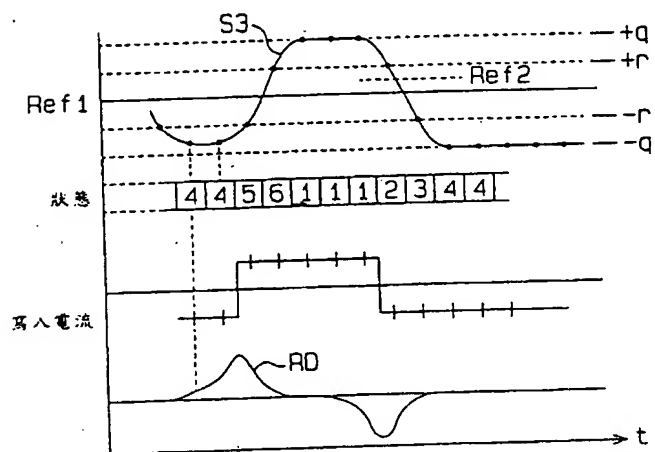
第十圖



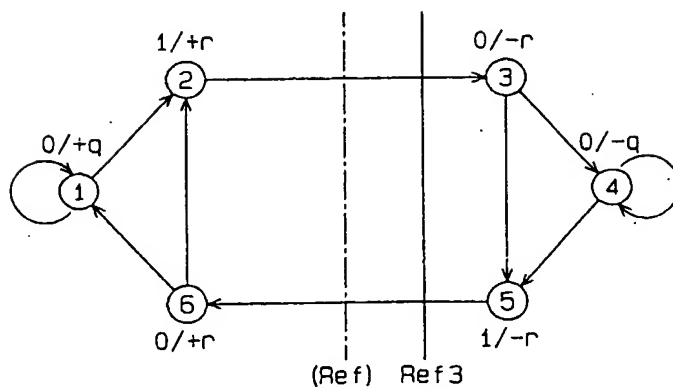
第十一圖



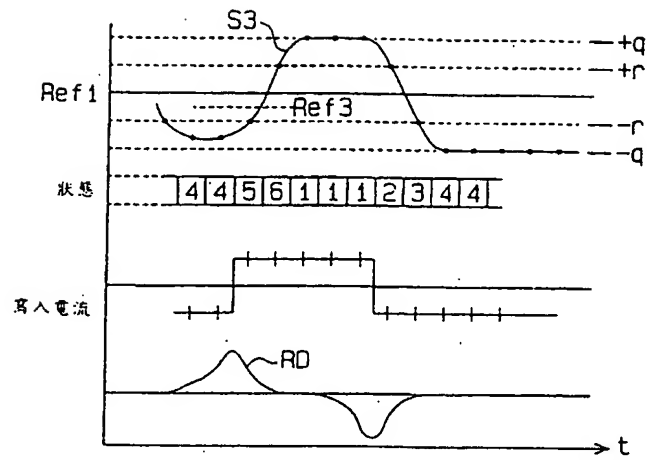
第十二圖



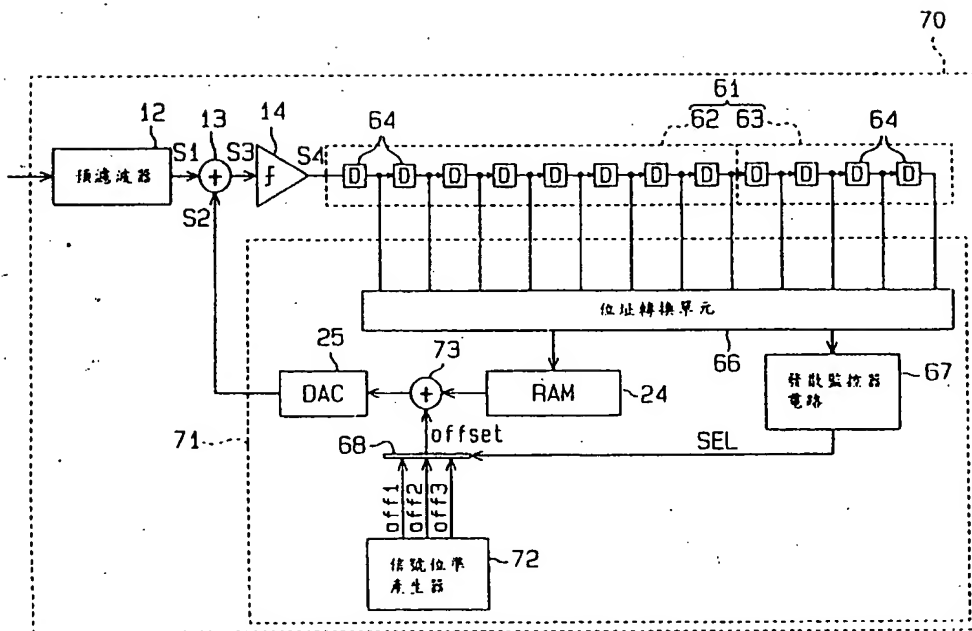
第十三圖



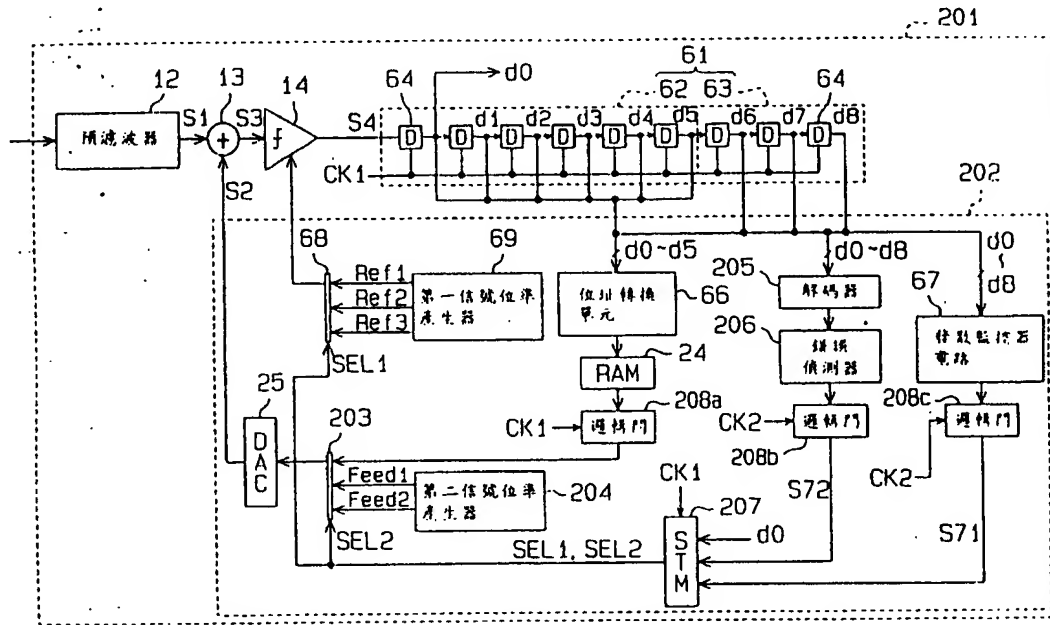
第十四圖



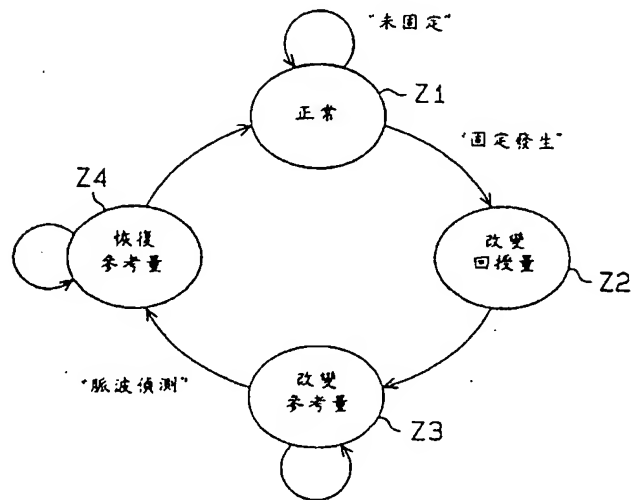
第十五圖



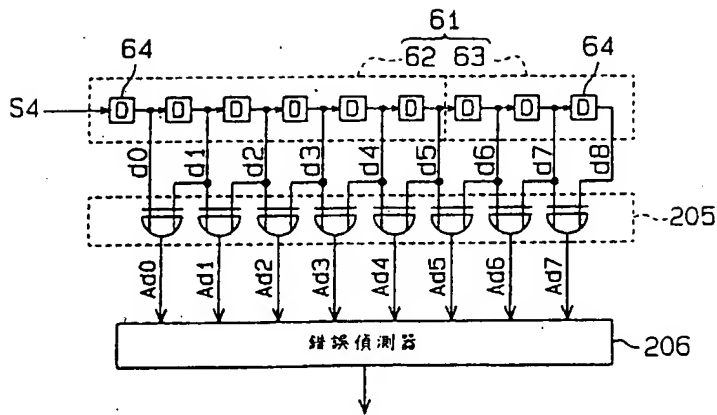
第十六圖



第十七圖



第十八圖



第十九圖

輸入									輸出		1 至 7 解碼後
A _d 8	A _d 7	A _d 6	A _d 5	A _d 4	A _d 3	A _d 2	A _d 1	A _d 0	錯誤偵測	錯誤傳輸	
-	0	0	1	1	0	0	1	0	0	0	10 10 10
-	0	0	1	1	0	0	0	1	0	0	10 10 01
-	0	0	1	1	0	0	1	0	1	0	10 10 11
-	0	0	1	1	0	0	1	0	0	0	10 10 00 (10ar01)
-	0	0	1	1	0	0	0	1	0	0	10 10 00 (11ar00)
0	1	0	1	1	0	0	1	0	0	0	01 10 10
0	1	0	1	1	0	0	0	1	0	0	01 10 01
0	1	0	1	1	0	0	1	0	1	0	01 10 11
0	1	0	1	1	0	0	1	0	0	0	01 10 00 (10ar01)
0	1	0	1	1	0	0	0	1	0	0	01 10 00 (11ar00)
-	0	1	0	0	0	1	0	0	0	0	11 10 10
-	0	1	0	0	0	0	1	0	0	0	11 10 01
-	0	1	0	0	0	1	0	1	0	0	11 10 11
-	0	1	0	0	0	1	0	0	0	0	11 10 00 (10ar01)
-	0	1	0	0	0	0	1	0	0	0	11 10 00 (11ar00)
-	0	0	0	0	1	0	0	0	0	0	00 10 10
-	0	0	0	0	1	0	1	0	0	0	00 10 01
-	0	0	0	0	1	0	0	1	0	0	00 10 11
-	0	0	0	0	1	0	0	0	0	0	00 10 00 (10ar01)
-	0	0	0	0	1	0	1	0	0	0	00 10 00 (11ar00)

第二十圖

輸入									輸出		1 至 7 解碼後
A _d 8	A _d 7	A _d 6	A _d 5	A _d 4	A _d 3	A _d 2	A _d 1	A _d 0	錯誤偵測	錯誤傳輸	
-	0	0	0	1	1	0	1	0	0	0	10 01 10
-	0	0	0	1	1	0	0	1	0	0	10 01 01
-	0	0	0	1	1	0	1	0	1	0	10 01 11
-	0	0	0	1	1	0	1	0	0	0	10 01 00 (10ar01)
-	0	0	0	1	1	0	0	1	0	0	10 01 00 (11ar00)
0	1	0	0	1	1	0	1	0	0	0	01 01 10
0	1	0	0	1	1	0	0	1	0	0	01 01 01
0	1	0	0	1	1	0	1	0	1	0	01 01 11
0	1	0	0	1	1	0	1	0	0	0	01 01 00 (10ar01)
0	1	0	0	1	1	0	0	1	0	0	01 01 00 (11ar00)
-	0	1	0	1	0	1	0	0	0	0	11 01 10
-	0	1	0	1	0	0	1	0	0	0	11 01 01
-	0	1	0	1	0	1	0	1	0	0	11 01 11
-	0	1	0	1	0	1	0	0	0	0	11 01 00 (10ar01)
-	0	1	0	1	0	0	1	0	0	0	11 01 00 (11ar00)
-	0	0	0	0	0	1	0	0	0	0	00 01 10
-	0	0	0	0	0	0	1	0	0	0	00 01 01
-	0	0	0	0	0	1	0	0	0	0	00 01 11
-	0	0	0	0	0	1	0	0	0	0	00 01 00 (10ar01)
-	0	0	0	0	0	0	1	0	0	0	00 01 00 (11ar00)

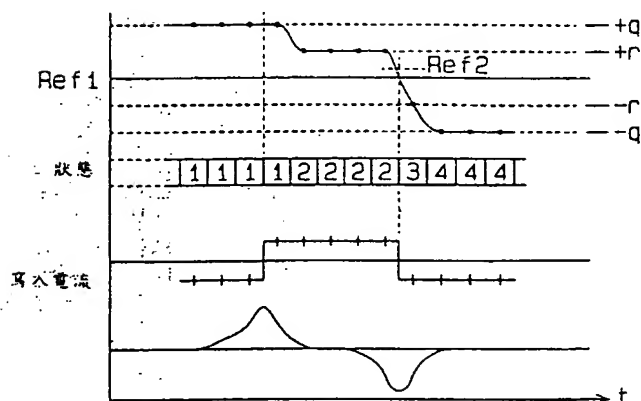
第二十一圖

輸入									輸出		1 至 7 解碼後
A _d 8	A _d 7	A _d 6	A _d 5	A _d 4	A _d 3	A _d 2	A _d 1	A _d 0	錯誤偵測	錯誤傳輸	
-	0	0	1	0	1	0	0	0	0	0	10 11 10
-	0	0	1	0	1	0	1	0	0	0	10 11 01
-	0	0	1	0	1	0	0	1	0	0	10 11 11
-	0	0	1	0	1	0	0	0	0	0	10 11 00 (10ar01)
-	0	0	1	0	1	0	1	0	0	0	10 11 00 (11ar00)
0	1	0	1	0	1	0	0	0	0	0	01 11 10
0	1	0	1	0	1	0	1	0	0	0	01 11 01
0	1	0	1	0	1	0	0	1	0	0	01 11 11
0	1	0	1	0	1	0	0	0	0	0	01 11 00 (10ar01)
0	1	0	1	0	1	0	1	0	0	0	01 11 00 (11ar00)
-	0	1	0	0	1	0	0	0	0	0	11 11 10
-	0	1	0	0	1	0	1	0	0	0	11 11 01
-	0	1	0	0	1	0	0	1	0	0	11 11 11
-	0	1	0	0	1	0	0	0	0	0	11 11 00 (10ar01)
-	0	1	0	0	1	0	1	0	0	0	11 11 00 (11ar00)
-	0	0	1	0	1	0	0	0	0	0	00 11 10
-	0	0	1	0	1	0	1	0	0	0	00 11 01
-	0	0	1	0	1	0	0	1	0	0	00 11 11
-	0	0	1	0	1	0	0	0	0	0	00 11 00 (10ar01)
-	0	0	1	0	1	0	1	0	0	0	00 11 00 (11ar00)

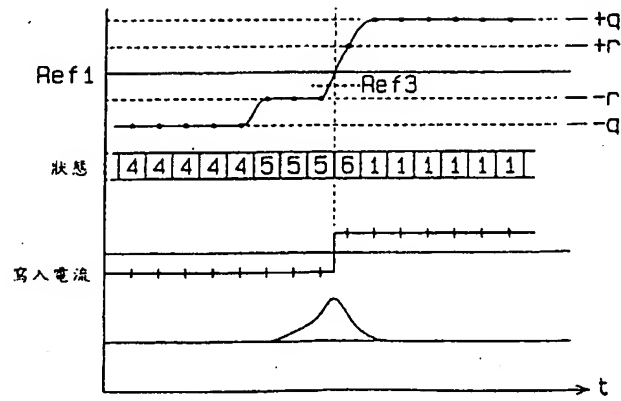
第二十二圖

輸入									輸出		1 至 7 解碼後
A _d 8	A _d 7	A _d 6	A _d 5	A _d 4	A _d 3	A _d 2	A _d 1	A _d 0	錯誤偵測	錯誤傳輸	
-	0	0	1	0	0	0	0	1	0	0	10 00 10
-	0	0	1	0	0	0	0	0	0	0	10 00 01
-	0	0	0	1	0	0	0	1	0	0	10 00 11
-	0	0	0	1	0	0	0	0	0	0	10 00 00
0	1	0	1	0	0	0	0	1	0	0	01 00 10
0	1	0	1	0	0	0	0	0	0	0	01 00 01
0	1	0	0	1	0	0	0	1	0	0	01 00 11
0	1	0	0	1	0	0	0	0	0	0	01 00 00
-	0	1	0	0	0	0	0	1	0	0	11 00 10
-	0	1	0	0	0	0	0	0	0	0	11 00 01
-	0	1	0	1	0	0	0	1	0	0	11 00 11
-	0	1	0	1	0	0	0	0	0	0	11 00 00
0	0	0	0	1	0	0	0	0	0	0	00 00 00
0	0	0	0	0	0	0	0	0	1	1	
-	-	1	1	-	-	-	-	-	1	0	包含連續"1"之樣式

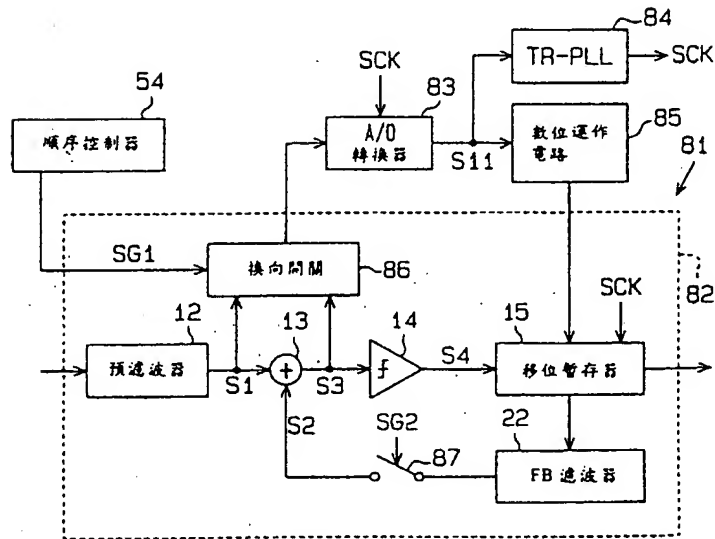
第二十三圖



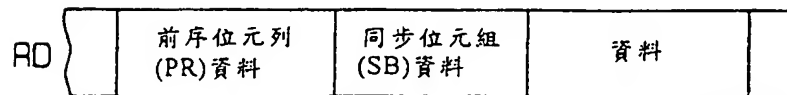
第二十四圖



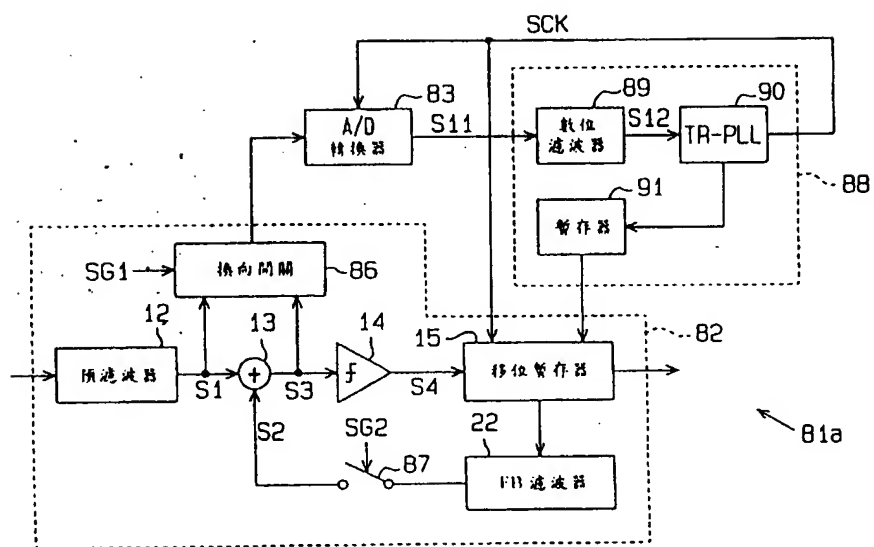
第二十五圖



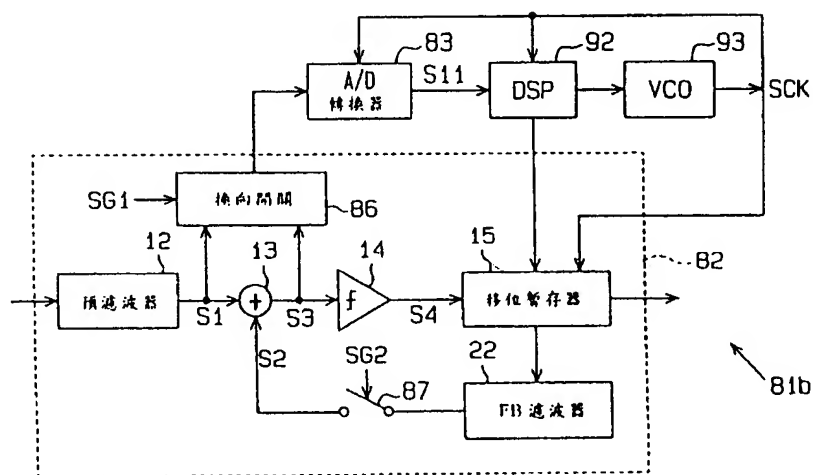
第二十六圖



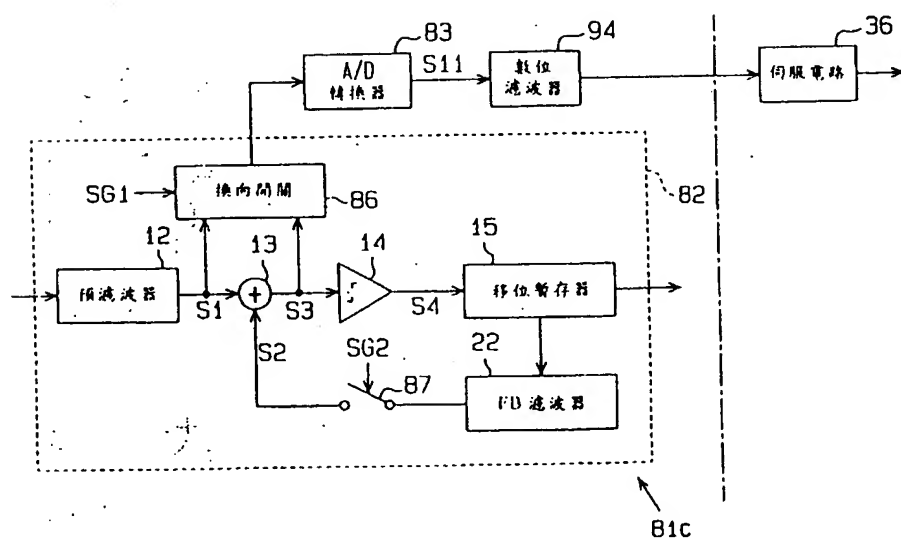
第二十七圖



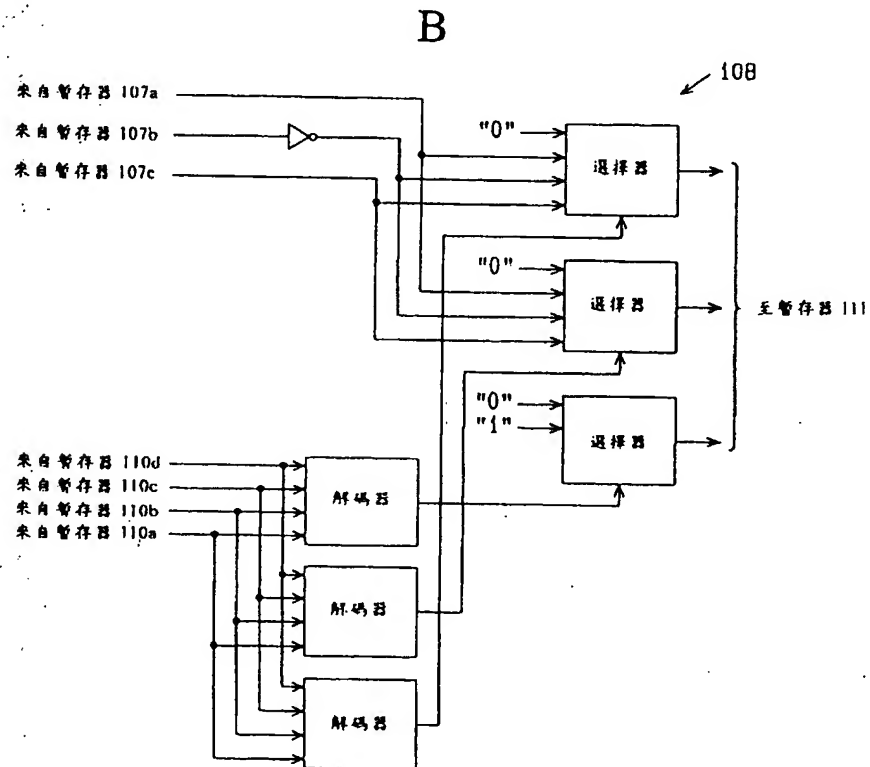
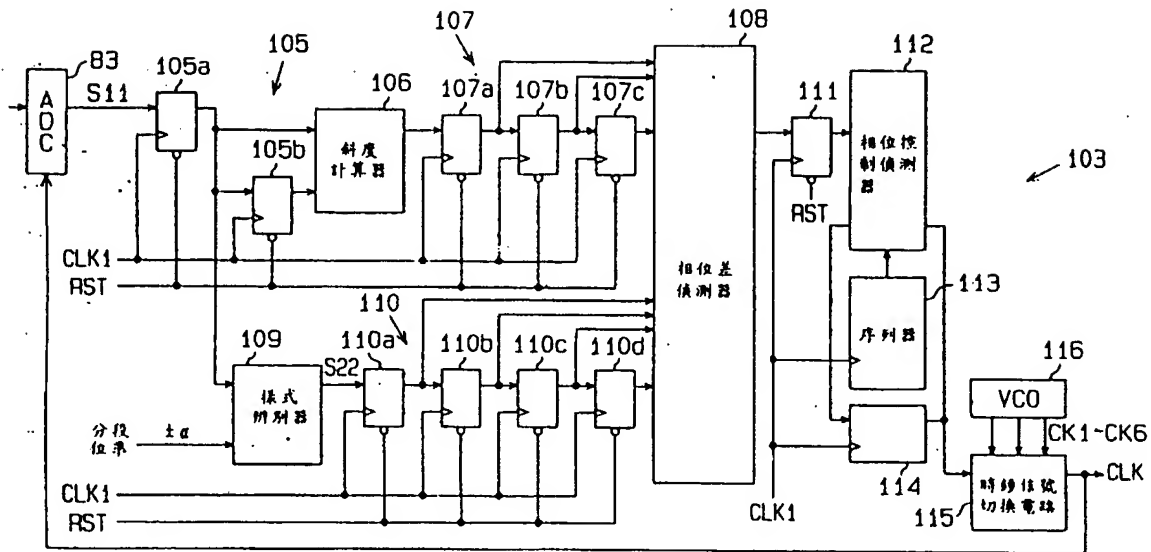
第二十八圖



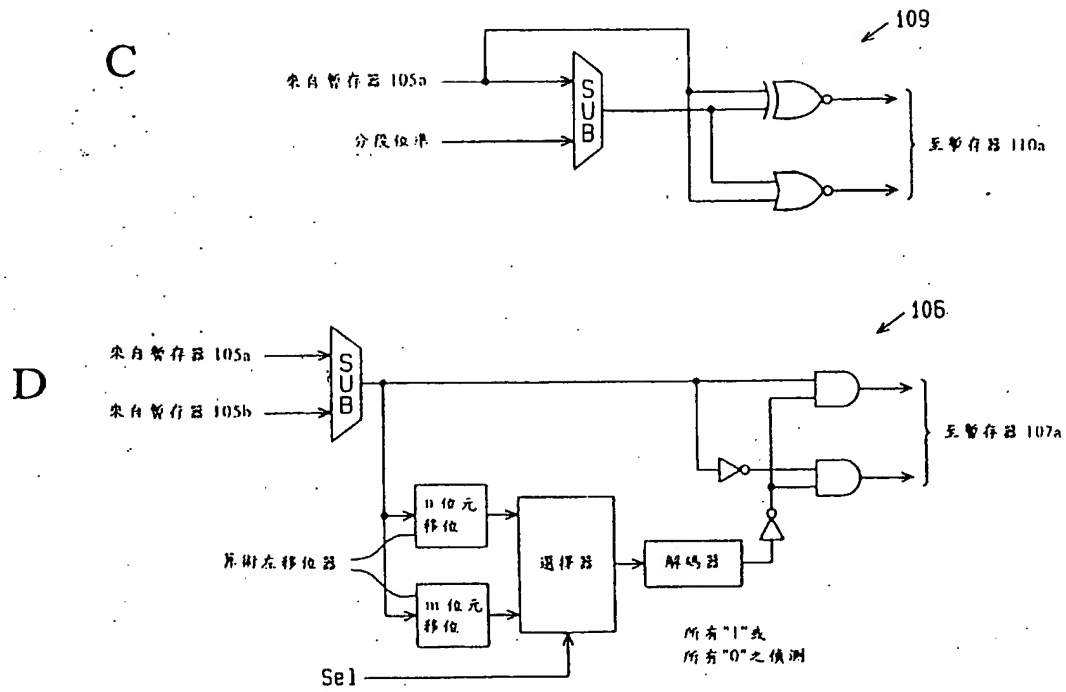
第二十九圖



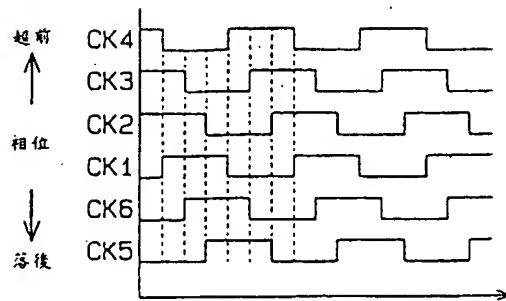
第三十圖



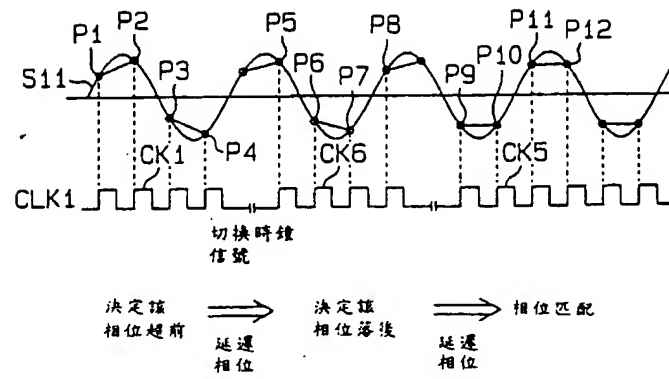
第三十三圖



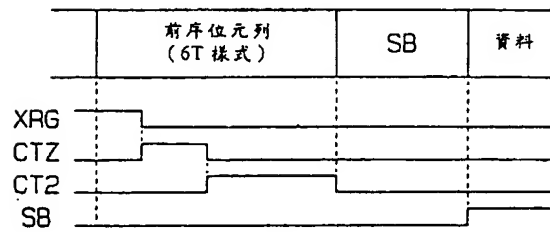
第三十三圖



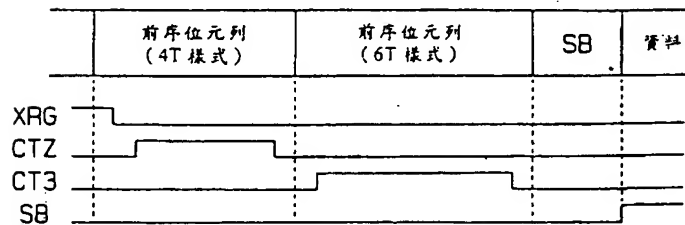
第三十四圖



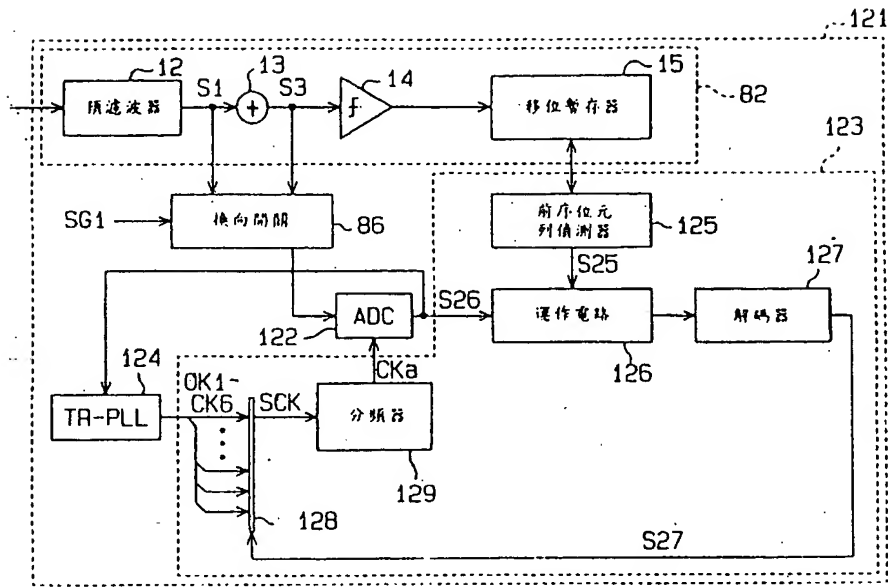
第三十五圖



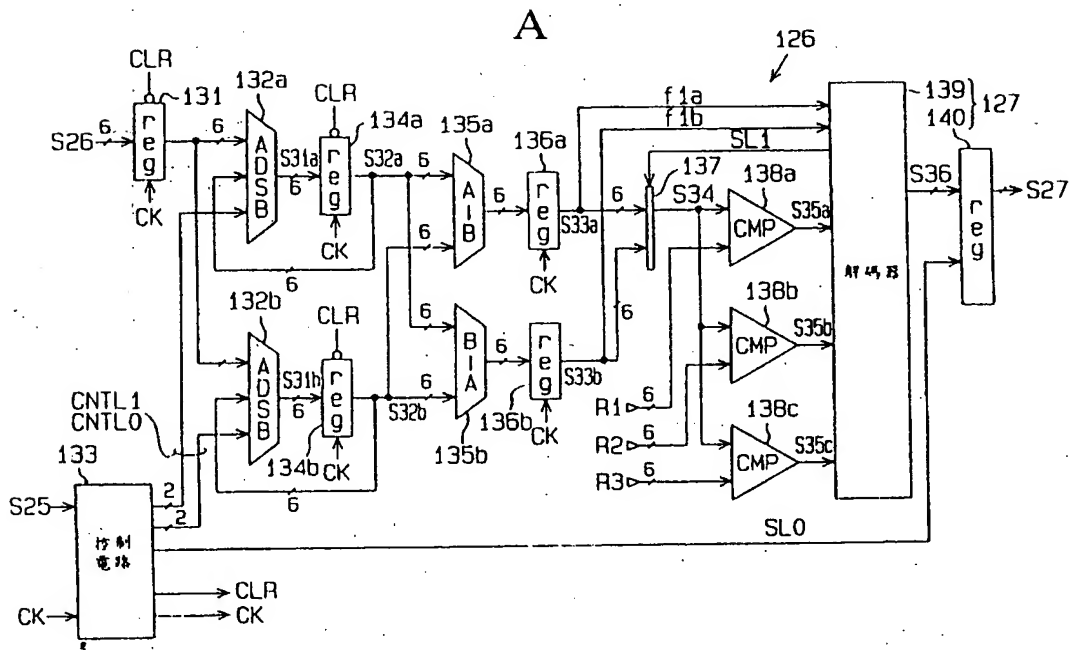
第三十六圖



第三十七圖

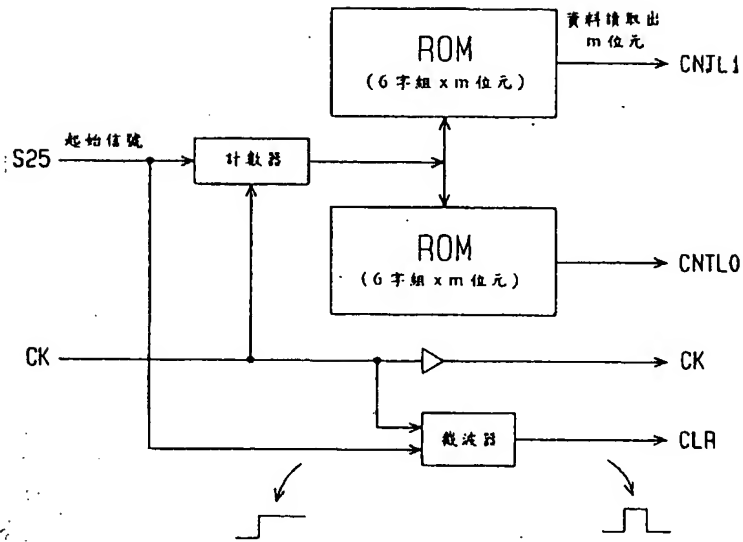


第三十八圖

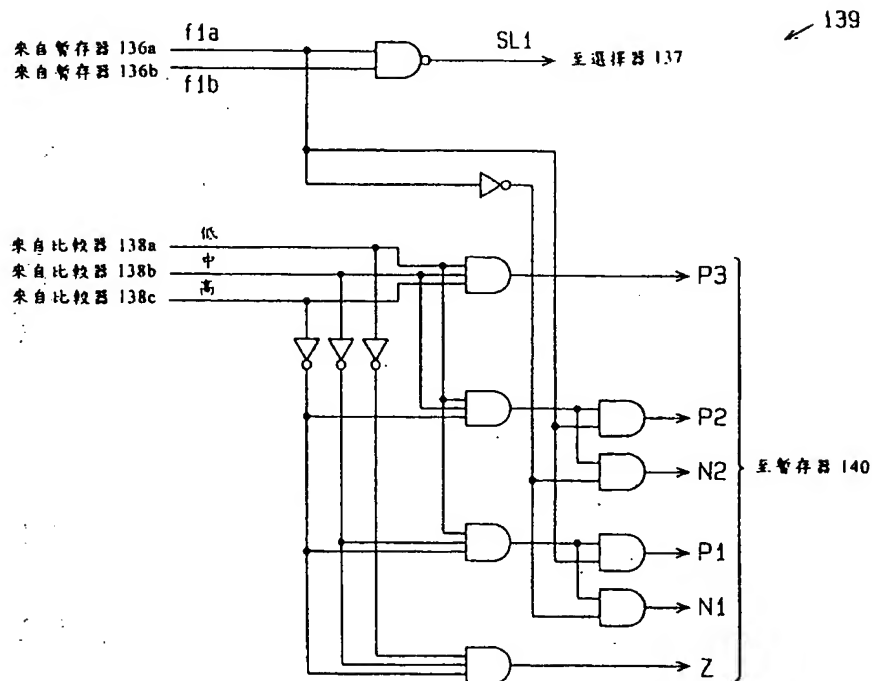


第三十九圖

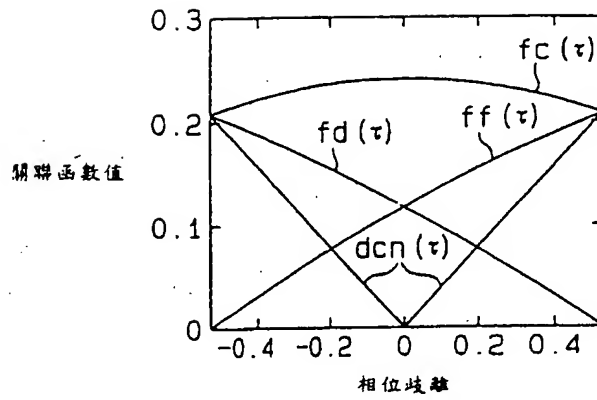
B



C



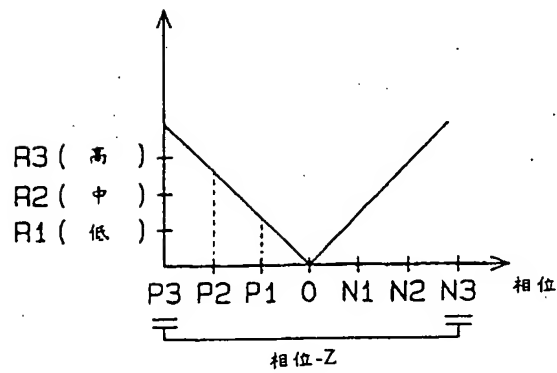
第三十九圖



第四十圖

	CNTL1	CNTLO	A	B	x
x1	0	0	a	b	$x=a+b$
$x\frac{1}{2}$	1	0	a	b	$x=\frac{1}{2}\cdot a+b$
$x(-1)$	0	1	a	b	$x=-a+b$
$x(-\frac{1}{2})$	1	1	a	b	$x=-\frac{1}{2}\cdot a+b$

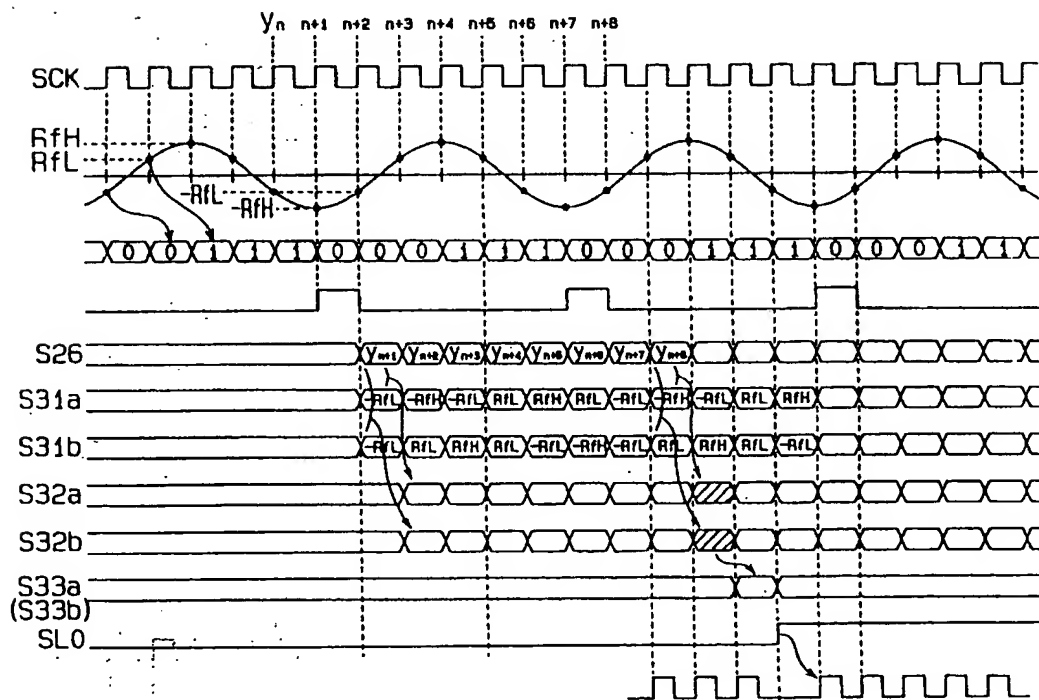
第四十一圖



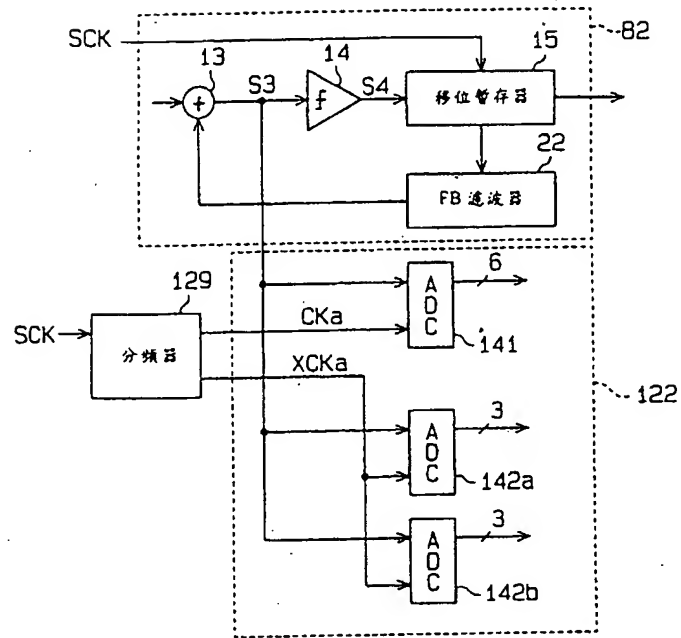
第四十二圖

	ZGS	低-d	中-d	高-d	相位-P3	相位-P2	相位-P1	相位-Z	相位-N1	相位-N2
P3	0	1	1	1	1	0	0	0	0	0
P2	0	1	1	0	0	1	0	0	0	0
P1	0	1	0	0	0	0	1	0	0	0
Z	-	0	0	0	0	0	0	1	0	0
N1	1	1	0	0	0	0	0	0	1	0
N2	1	1	1	0	0	0	0	0	0	1
N3 (P3)	1	1	1	1	1	0	0	0	0	0

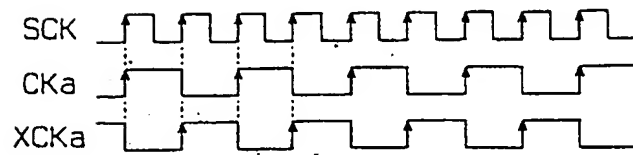
第四十三圖



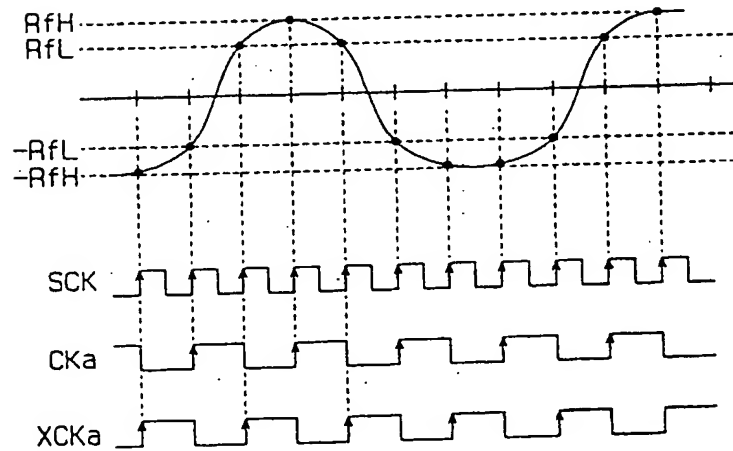
第四十四圖



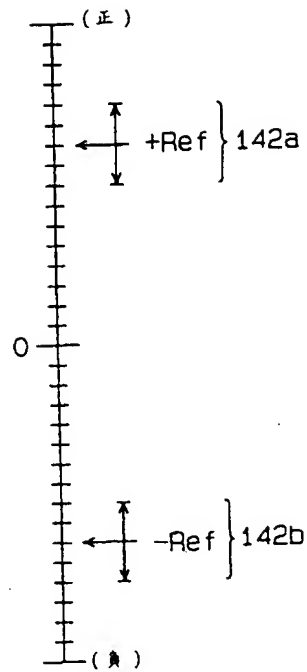
第四十五圖



第四十六圖

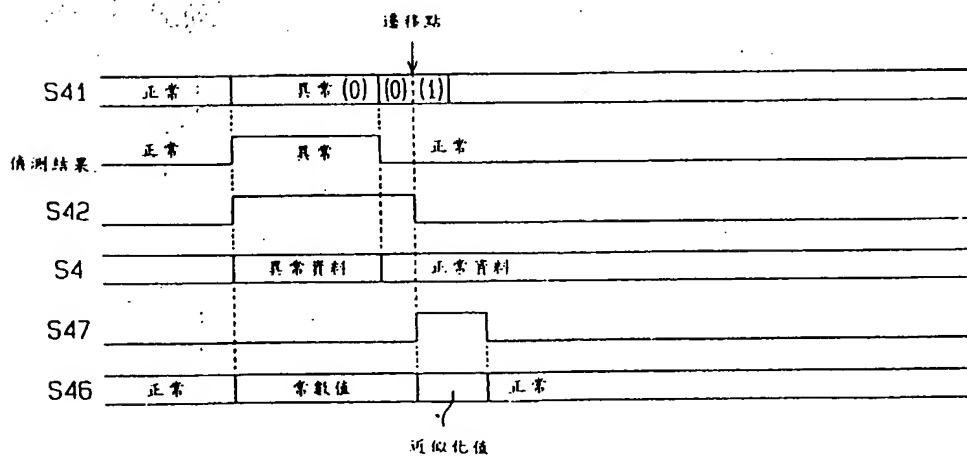
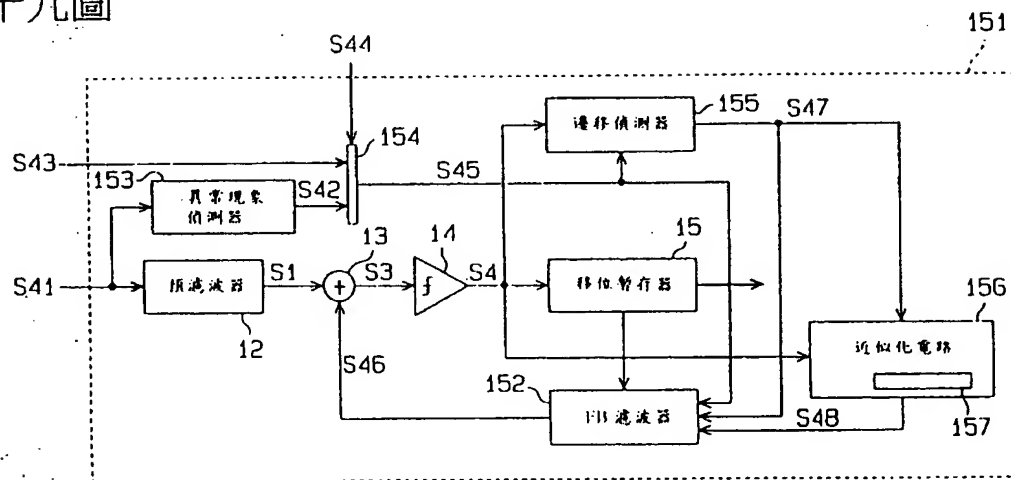


第四十七圖

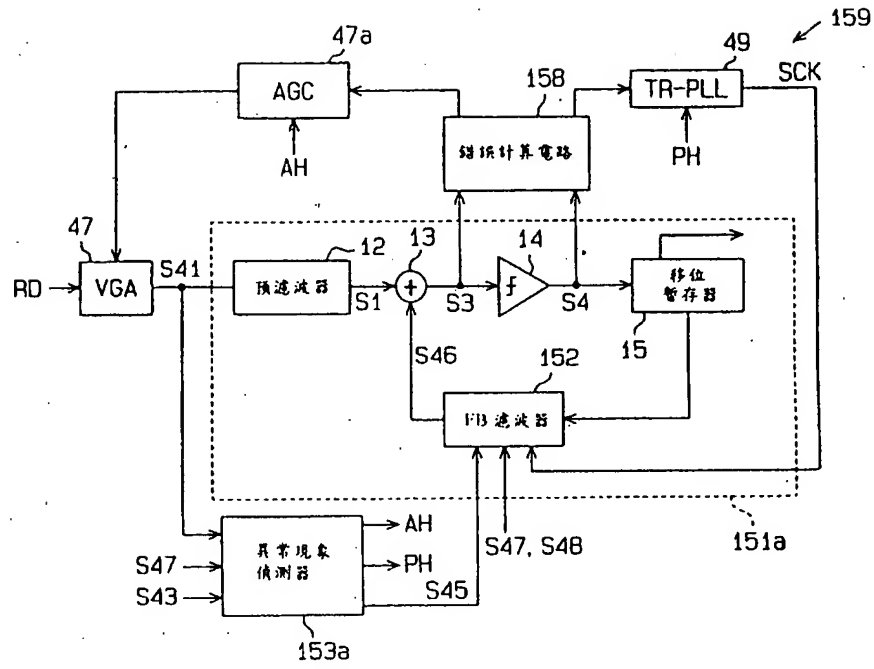


第四十八圖

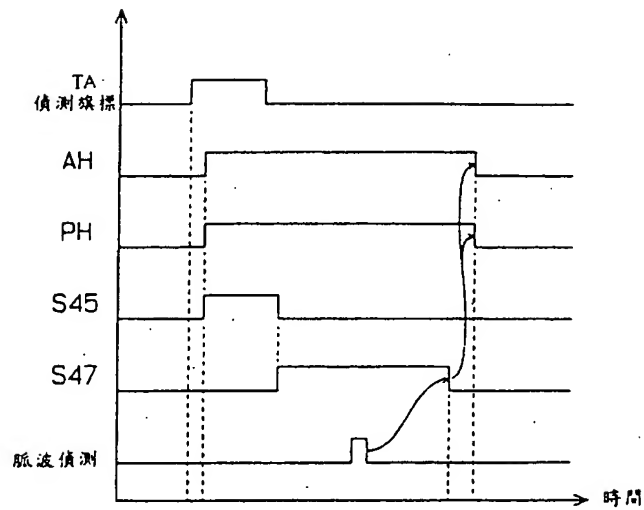
第四十九圖



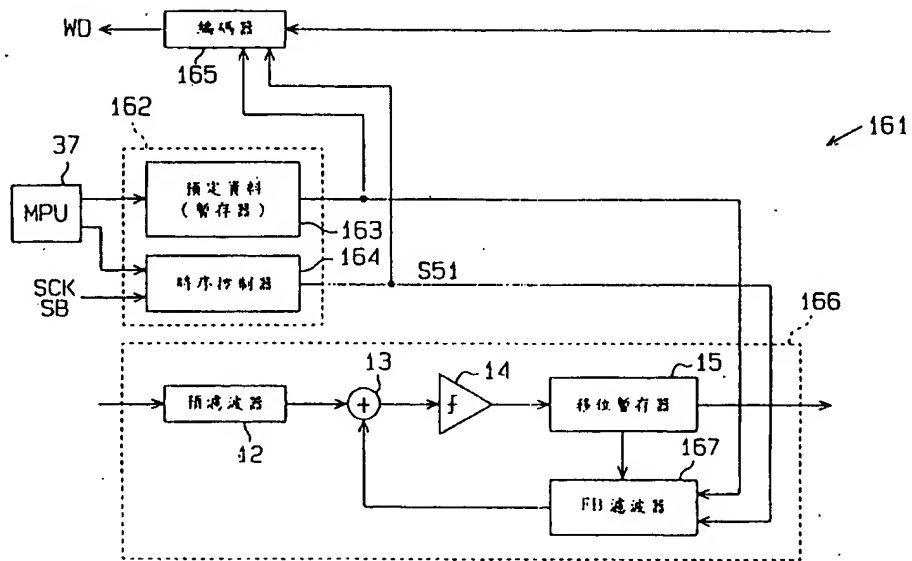
第五十圖



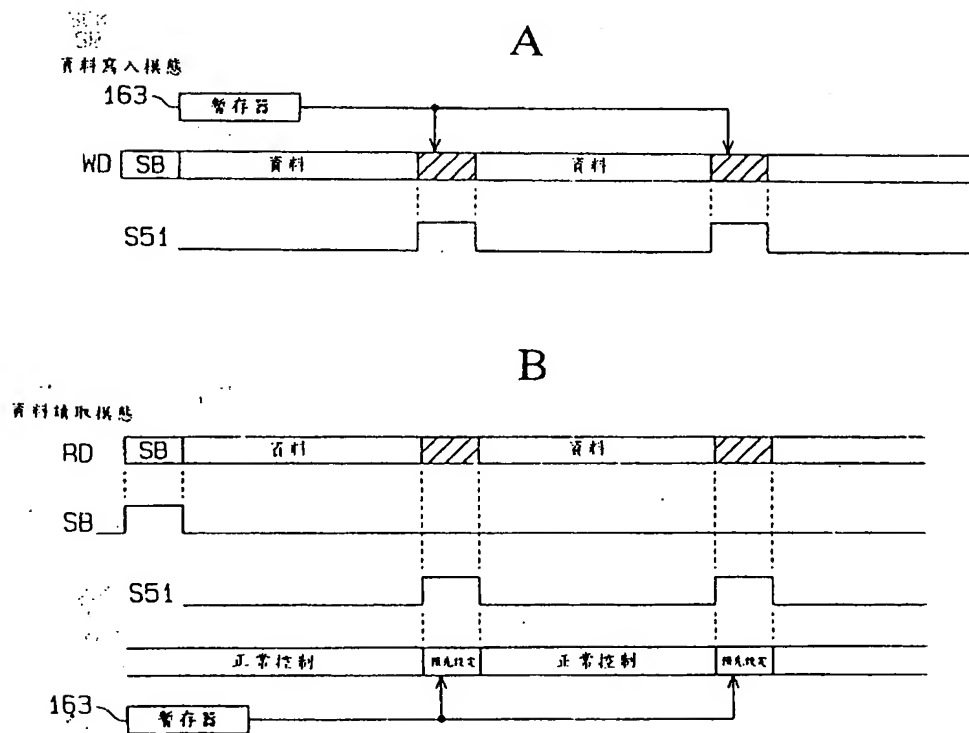
第五十一圖



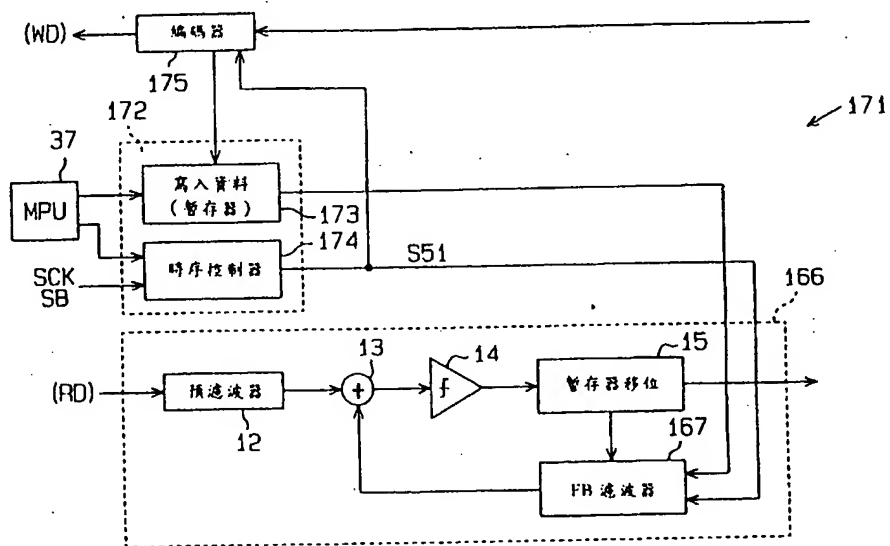
第五十二圖



第五十三圖



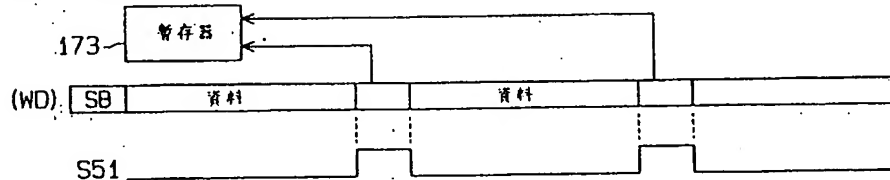
第五十四圖



第五十五圖

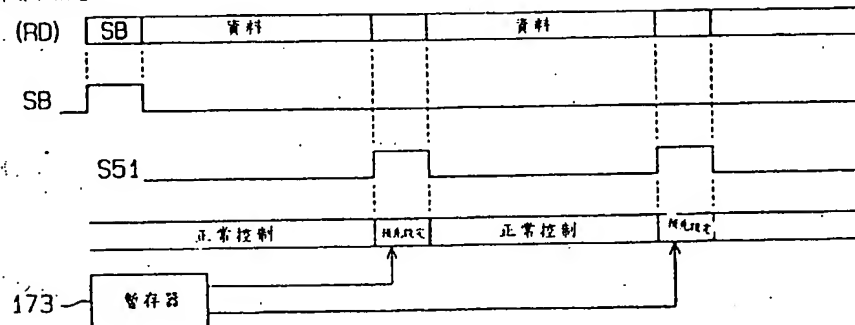
A

資料寫入模式

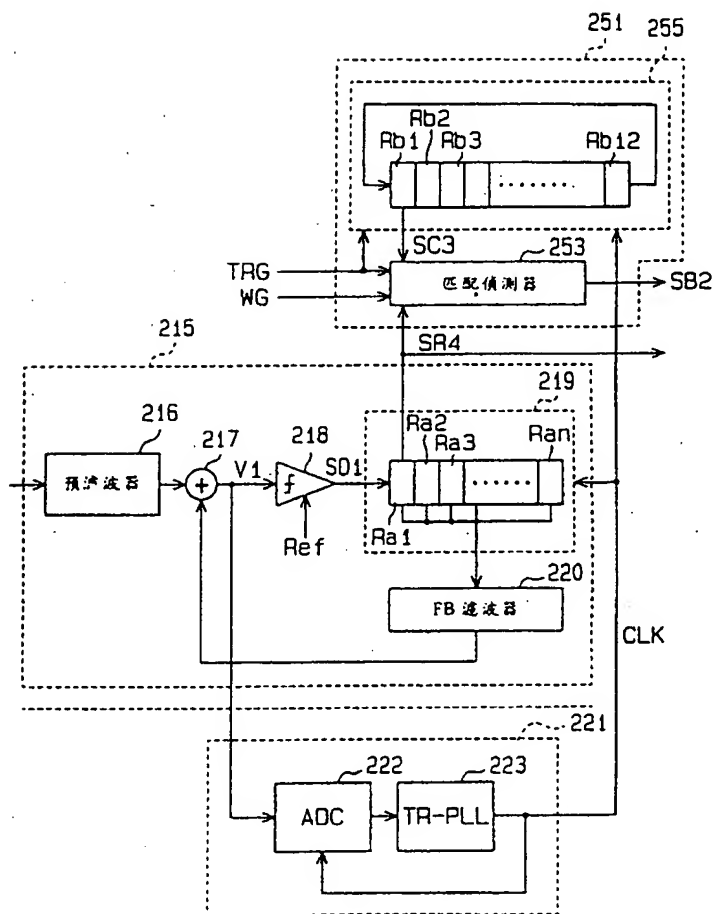


B

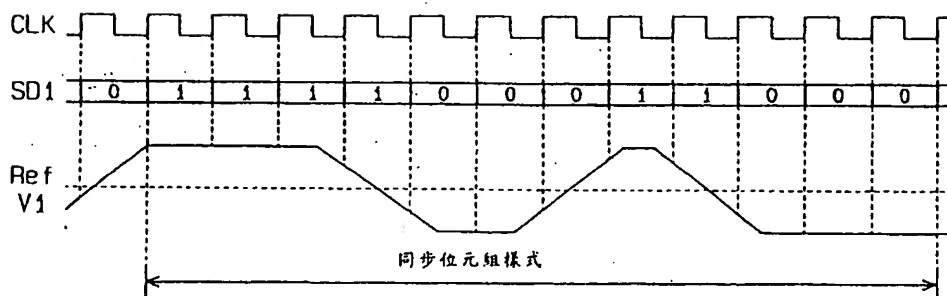
資料讀取模式



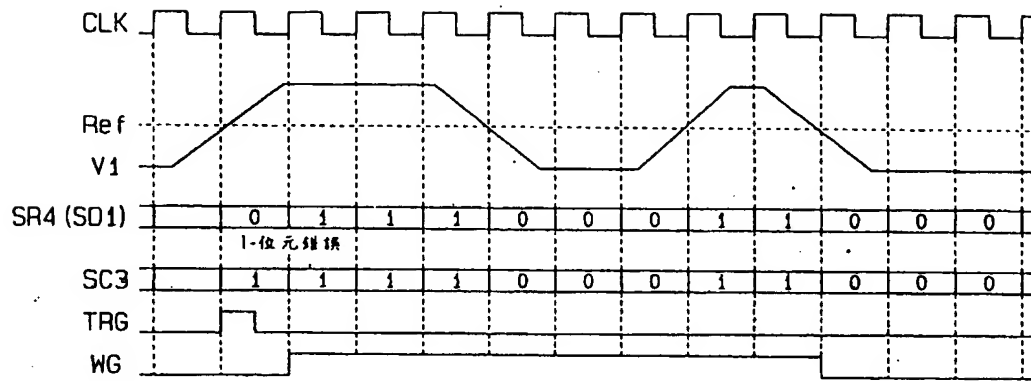
第五十六圖



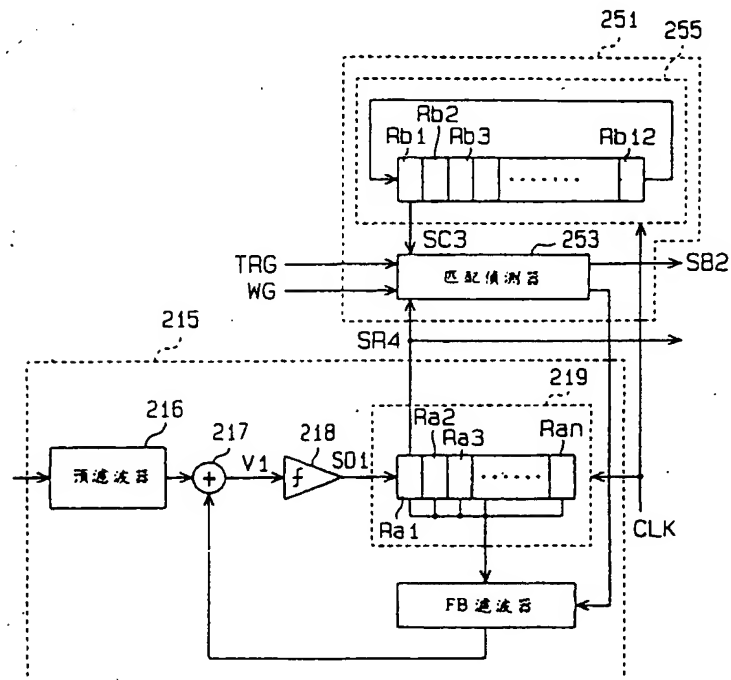
第五十九圖



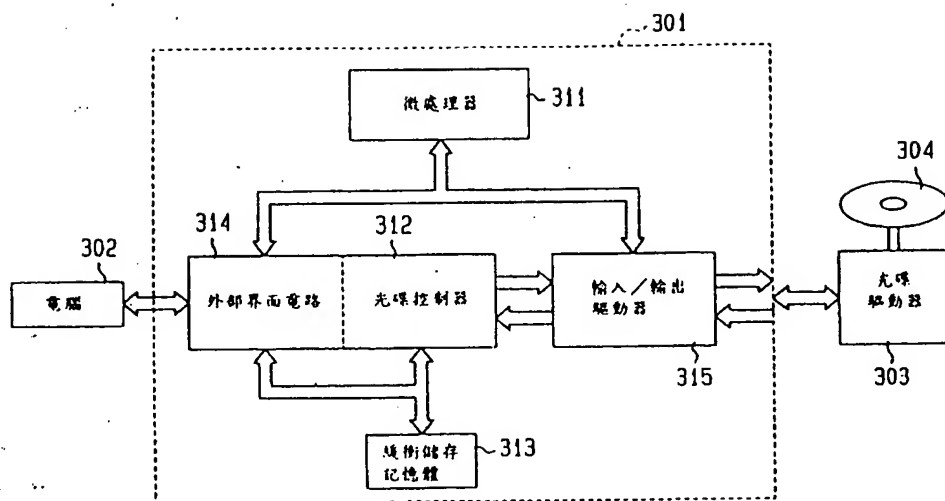
第六十圖



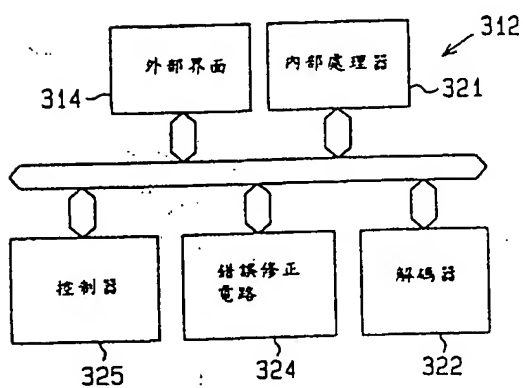
第六十一圖



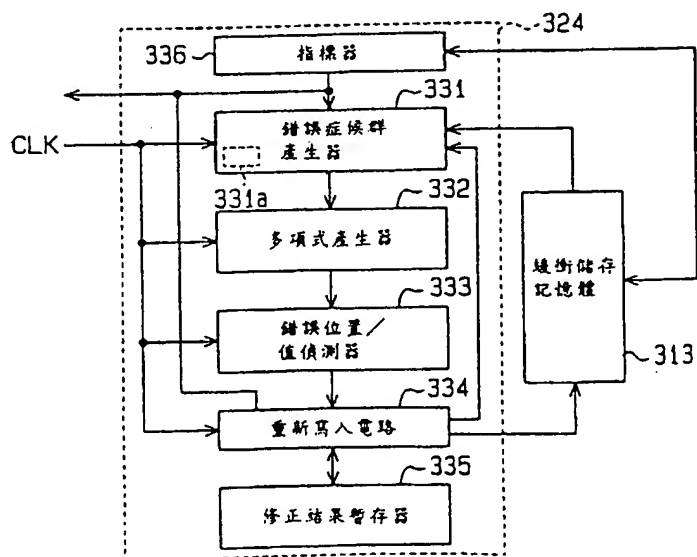
第六十二圖



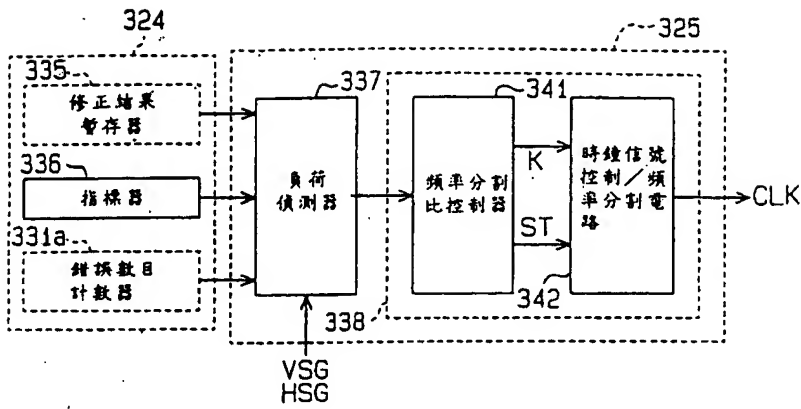
第六十三圖



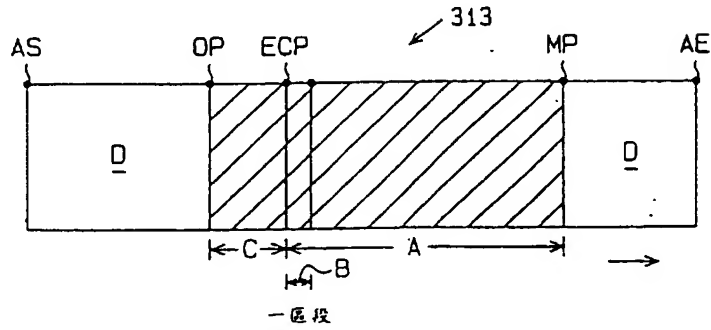
第六十四圖



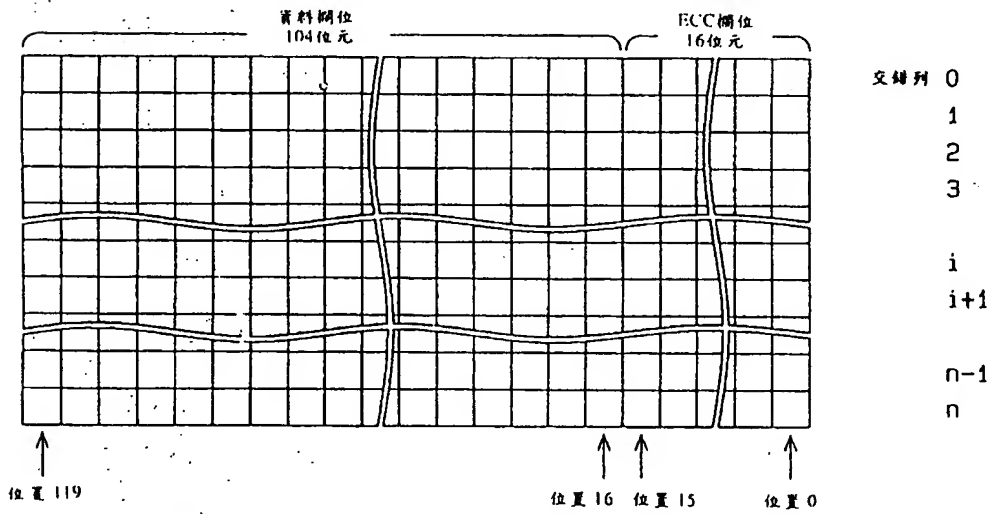
第六十五圖



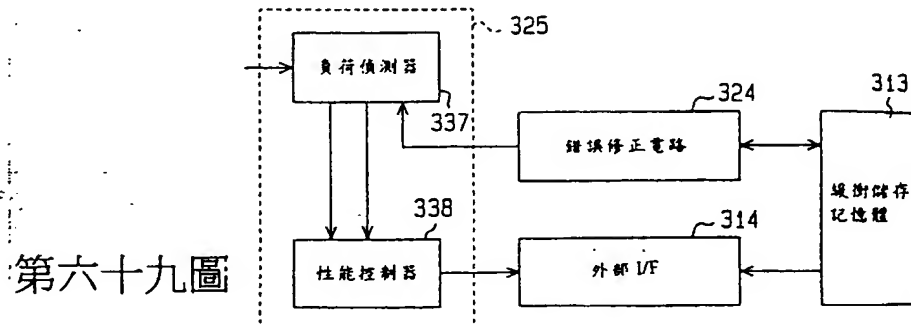
第六十六圖



第六十七圖



第六十八圖



第六十九圖

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☒ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO)